

14375899

Basic Patent (No, Kind, Date): JP 10125927 A2 19980515 <No. of Patents: 008

>

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; OTANI HISASHI; KOYAMA JUN; FUKUNAGA KENJI

IPC: *H01L-029/786; H01L-021/336

CA Abstract No: *129(04)048422Y; 129(04)048422Y

Derwent WPI Acc No: *G 98-339499; G 98-339499

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	AppliC No	Kind	Date
CN 1200577	A	19981202	CN 97122885	A	19971015
CN 1261727	A	20000802	CN 99124856	A	19991115
CN 1272683	A	20001108	CN 99124857	A	19991115
JP 10125927	A2	19980515	JP 96294419	A	19961015 (BASIC)
JP 10135469	A2	19980522	JP 96301250	A	19961024
US 20020100937	AA	20020801	US 24850	A	20011219
US 6365933	BA	20020402	US 951819	A	19971014
TW 451284	B	20010821	TW 86114475	A	19971003

Priority Data (No, Kind, Date):

JP 96294419 A 19961015

JP 96301250 A 19961024

US 24850 A 20011219

US 951819 A1 19971014

DIALOG(R) File 347:JAP10

(c) 2004 JPO & JAP10. All rts. reserv.

05842827 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 10-125927 [JP 10125927 A]

PUBLISHED: May 15, 1998 (19980515)

INVENTOR(s): YAMAZAKI SHUNPEI

OTANI HISASHI

KOYAMA JUN

FUKUNAGA KENJI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 08-294419 [JP 96294419]

FILED: October 15, 1996 (19961015)

INTL CLASS: [6] H01L-029/786; H01L-021/336

JAP10 CLASS: 42.2 (ELECTRONICS — Solid State Components); 29.1 (PRECISION
INSTRUMENTS — Photography & Cinematography); 29.4 (PRECISION
INSTRUMENTS — Business Machines); 42.5 (ELECTRONICS —
Equipment); 44.6 (COMMUNICATION — Television); 44.9
(COMMUNICATION — Other)

JAP10 KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R011
(LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS — Glass
Conductors); R097 (ELECTRONIC MATERIALS — Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS — Ion
Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To realize a high-performance electrooptical device
by selectively holding a metal element form-assisting the crystallization
on an amorphous Si film formed on a substrate, heat-treating the amorphous
Si film to modify a part thereof into a crystalline Si film and forming an
island-like semiconductor layer with only the crystalline Si film to be an
active layer.

SOLUTION: A silicon oxide film 104 is formed and only regions into which a
crystallization assisting metal element is to be introduced later are
selectively etched to form openings through which regions 105 formed like

slits are exposed. A nickel nitrate solution of specified concentration is dripped to form a thin water film 106. After dehydrogenizing in an inert atmosphere, it is heat treated to crystallize an amorphous Si film 103 into a crystalline Si film 107. Gettering is applied to obtain an island-like semiconductor layer 110 not containing Ni or reduced enough to have no influence on the device characteristics.

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-125927

(43) Date of publication of application : 15.05.1998

51) Int.CI.

H01L 29/786

H01L 21/336

21) Application number : 08-294419. (71) Applicant : SEMICONDUCTOR
ENERGY LAB CO LTD

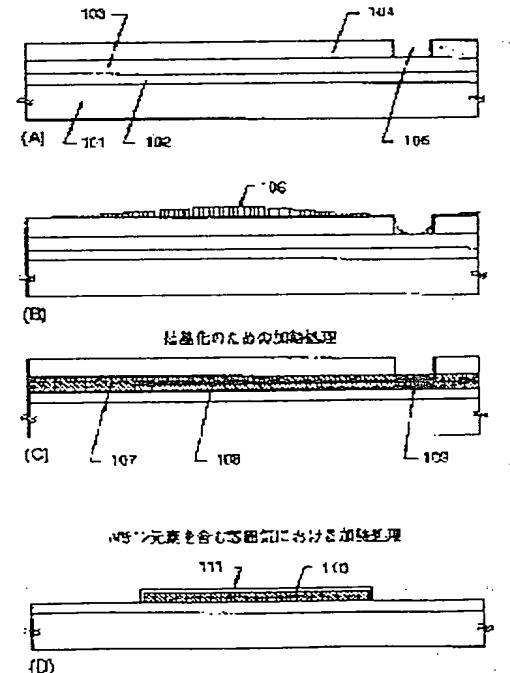
22) Date of filing : 15.10.1996 (72) Inventor : YAMAZAKI SHUNPEI
OTANI HISASHI
KOYAMA JUN
FUKUNAGA KENJI

54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

57) Abstract:

PROBLEM TO BE SOLVED: To realize a high-performance electrooptical device by selectively holding a metal element form-assisting the crystallization on an amorphous Si film formed on a substrate, heat-treating the amorphous Si film to modify a part thereof into a crystalline Si film and forming an island-like semiconductor layer with only the crystalline Si film to be an active layer.

SOLUTION: A silicon oxide film 104 is formed and only regions into which a crystallization assisting metal element is to be introduced later are selectively etched to form openings through which regions 105 formed like slits are exposed. A nickel nitrate soln. of



specified concn. is dripped to form a thin water film 106. After dehydrogenizing in an inert atmosphere, it is heat treated to crystallize an amorphous Si film 103 into a crystalline Si film 107. Gettering is applied to obtain an island-like semiconductor layer 110 not contg. Ni or reduced enough to have no influence on the device characteristics.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

**** shows the word which can not be translated.

In the drawings, any words are not translated.

DETAILED DESCRIPTION

Detailed Description of the Invention]

0001]

The technical field to which invention belongs] Invention indicated on these specifications relates to the semiconductor device which makes a barrier layer the semiconductor thin film formed on the base which has an insulating front face. It is related with the TFT which constituted the barrier layer from a crystalline silicon film specially.

0002]

Description of the Prior Art] In recent years, the technology which constitutes TFT (TFT) using the semiconductor thin film (number of thickness 100- about thousands of Å) formed on the base which has an insulating front face attracts attention. TFT is widely applied to an electron device like IC or electro-optics equipment, and development is specially hurried as a switching element of image display equipment.

0003] For example, the attempt which applies TFT to all electrical circuits, such as a pixel matrix circuit which controls separately the pixel field arranged in the shape of a matrix in the liquid crystal display, a drive circuit which controls a pixel matrix circuit, and logical circuits (a processor circuit, memory circuit, etc.) which process the data signal from the outside further, is made.

0004] The important portion which should also be called core of such TFT is a junction portion which joins a channel formation field and a channel formation field, and the source / drain field. That is, it can be said that a barrier layer affects the performance of TFT most.

0005] Generally the silicon (silicon) film formed using a plasma CVD method and reduced pressure heat CVD as a semiconductor thin film which constitutes the barrier layer of TFT is used.

0006] In the present condition, although TFT using the amorphous silicon film (amorphous silicon film) is put in practical use, TFT using the crystalline silicon film (polysilicon contest film) is needed for the electrical circuit which can ask for the further

igh-speed operation performance like a drive circuit or a logical circuit.
0007] The technology indicated by JP,6-232059,A by these people and JP,6-244103,A
s a method of forming a crystalline silicon film on a base is well-known. The technolog
ndicated by this official report makes it possible to form the crystalline outstanding
rystalline silicon film by 500 - 600 ** and heat-treatment of about 4 hours by using the
metallic element (especially nickel) which promotes crystallization of silicon.

0008] moreover, the technology indicated by JP,7-321339,A -- the above-mentioned
echnology -- applying -- a base -- an outline -- it is made to perform an parallel crystal
rowth and artificers are calling especially the formed crystallization field horizontal
rowth field (or lateral growth field)

0009] Since a pillar-shaped or needlelike crystal has the crystal structure object which
gathered where travelling direction is arranged mostly, the crystalline silicon film formed
y the starting technology has the feature of excelling in crystallinity. Therefore, if the
rystalline silicon film formed using technology given [above-mentioned] in an official
eport is used as a barrier layer of TFT, it turns out that the thing TFT with a high
erformance of operation is producible.

0010] However, even if it constitutes a drive circuit using such TFT, it is not necessary
o fill completely the performance demanded still more. Especially the thing for which
he high-speed logical circuit of which the very highly efficient electrical property which
ealizes simultaneously high-speed operation and a high proof-pressure property is
quired is constituted from conventional TFT is impossible for the present condition.

0011]

Problem(s) to be Solved by the Invention] As mentioned above, in order to attain highly
fficient-ization of electro-optics equipment etc., you have to realize TFT which has the
erformance which is equal to MOSFET formed using the single crystal silicon wafer.

0012] Then, invention indicated on these specifications makes it a technical problem to
ffer the very highly efficient thin-film-semiconductor equipment used as the
reakthrough for realizing further highly efficient-ization of electro-optics equipment,
nd its production method.

0013]

Means for Solving the Problem] By the conventional method, it is possible needlelike or
hat improvement in the electric field effect mobility which is one of the parameters with
which capture is carried out and a carrier (an electron or electron hole) shows a TFT
roperty in the grain boundary (the grain boundary in this specification points out the
oundary between needlelike or a columnar crystal as long as there is no notice) of a
olumnar crystal was barred as a reason which was not able to obtain the above highly
fficient TFT.

0014] For example, much azygos joint hands (dangling bond) of a silicon atom and
lefective (capture) level exist in the grain boundary. Moreover, if the metallic element
vhich promotes crystallization is used in the case of crystallization, it turns out that a

metallic element carries out a segregation to the grain boundary.

0015] Therefore, since the trap of it will be easily carried out to an azygos joint hand, effective level, etc. if the carrier which moves in the interior of a columnar crystal approaches or contacts the grain boundary, the grain boundary is considered to have acts that each is needlelike or "the malignant grain boundary" which checks movement of carrier.

0016] In order to realize the semiconductor device of this invention, the technology for making such "the malignant grain boundary" change structurally, and carrying out conversion to "the benign grain boundary" for a carrier is indispensable. That is, it can be said that it is important that the probability of capturing a carrier at least considers the grain boundary with possibility it is small and small of barring movement of a carrier as formation.

0017] Therefore, the composition of invention indicated on these specifications The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film, The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film, and the process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively, The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, The process which removes the aforementioned mask insulator layer, and the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer, While carrying out gettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 2nd heat-treatment into the atmosphere containing a halogen the process which forms the gate insulator layer which becomes by the thermal oxidation film -- at least -- having -- the aforementioned carrier layer -- the aforementioned base and an outline -- it is characterized by the paralleling for which two or more needlelike or columnar crystals gather, and are formed

0018] Moreover, the process which forms an amorphous silicon film on the base which has an insulating front face in case the composition of other invention produces the semiconductor device which has the barrier layer which becomes by the semiconductor thin film, The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film, and the process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively, The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, The process which removes the aforementioned mask insulator layer, and the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer, The process which carries out

ettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 2nd heat-treatment into the atmosphere containing a halogen, The process which removes the thermal oxidation film formed of the 2nd aforementioned heat-treatment, the process which forms in the aforementioned island-like semiconductor layer front face the thermal oxidation film which functions as a gate insulator layer by performing 3rd heat-treatment -- at least -- having -- the aforementioned barrier layer -- the aforementioned base and an outline -- it is characterized by the parallel thing for which two or more needlelike or columnar crystals ather, and are formed

0019] If a crystalline silicon film is formed by the production method according to the bove composition, the thin film of appearance as shown in drawing 9 will be obtained. The horizontal growth field 901 which drawing 9 is an expansion microphotography at the time of carrying out this invention using technology given in JP,7-321339,A as a crystallization means of an amorphous silicon film, and attains to no less than 100 micrometers of length numbers is formed.

0020] In addition, this horizontal growth field 901 has needlelike or the feature that rystal orientation has gathered, in order that the columnar crystal may carry out the rystal growth to outline parallel almost perpendicularly and mutually to the field (shown y 902) which added the metallic element which promotes crystallization. Moreover, the macroscopic grain boundary (it distinguishes from the grain boundary between needlelike r a columnar crystal) which has been prolonged from the addition field 902 which faced ach other and in which needlelike or the columnar crystal collided and was formed is hown by 903.

0021] Furthermore, the transverse-electromagnetic photograph which expanded the interior of crystal grain even by 250,000 times paying attention to the interior of the orizontal growth field shown in drawing 9 is drawing 10 (A). Moreover, drawing 14 (B) xpressed the structure of drawing 14 (A) typically.

0022] That is, although the crystalline silicon film of this invention looks [consist of / ig horizontal growth fields 901 / like drawing 9] macroscopic, if the horizontal growth ield 901 is observed microscopically in fact, as shown in drawing 10 (B), they are eedlelike or the crystal structure object with which a columnar crystal 1001 is onstituted by more than one gathering.

0023] moreover, that it is needlelike that drawing 10 (B) is shown by 1002 needlelike rom the direction where it is the grain boundary which shows the boundary of columnar rystals, and the grain boundary 1002 is prolonged or a columnar crystal 1001 -- mutual - an outline -- it can check having carried out the crystal growth in the parallel direction

0024] moreover, gettering removal of the metallic element (let nickel be the main xample on these specifications) which promotes crystallization by heat-treatment by the tmosphere in which the semiconductor device of this invention contains a halogen is arried out -- 1x10¹⁸ atoms/cm³ Nickel which remained by the above concentration

$\times 10^{18}$ atoms/cm³ Decreasing below (preferably below 1×10^1 / atoms/cm³) is checked by SIMS analysis (secondary ion mass spectroscopy).

0025] Of course, it is thought that gettering removal of other metallic elements (Cu, aluminum, etc.) mixed by contamination etc. is carried out similarly.

0026] Moreover, although the combination goes out and the silicon atom combined with nickel forms many non-coupling hands at this time, between the heat-treatment in the above-mentioned halogen atmosphere, it combines with oxygen and an oxide (oxidized silicon) is formed. Consequently, oxidized silicon is formed in the field which was "the malignant grain boundary", and it is thought that it becomes the composition that oxidized silicon functions as the grain boundary substantially.

0027] Thus, it is surmised that the formed grain boundary 1002 will be in the state excellent in the adjustment in which the interface of oxidized silicon and crystal silicon hardly includes a lattice defect. This is because the silicon atom between grids which causes a defect by the synergistic effect of process in which oxidized silicon is formed by thermal oxidation, and process in which the reunion of silicon atoms or a silicon atom, and an oxygen atom is promoted by the catalysis of nickel is consumed.

0028] That is, the grain boundary shown by 1002 in drawing 10 does not almost have a defect which captures a carrier, and it is thought that it acts as "the benign grain boundary" which functions only as an energy-[only]-needlelike or obstruction for the carrier which moves in the interior of a columnar crystal.

0029] Moreover, since, as for such the grain boundary, a thermal oxidation reaction advances preferentially, a thermal oxidation film is formed more thickly than other fields. Therefore, in case a thermal oxidation film is used as a gate insulator layer, it is surmised that it may become an energy-[the gate voltage impressed near the grain boundary is small seemingly, and / a bird clapper] obstruction.

0030] However, if the below-mentioned TFT property is taken into consideration, it will be surmised that the energy barrier of the grain boundary 1002 is not so high as it bars movement of a carrier completely, and the carrier which moves exceeding the grain boundary exists by remarkable probability.

0031] moreover, this heat-treatment -- 700 ** -- exceeding (typically 800-1100 degrees C) -- when carrying out at comparatively high temperature, needlelike or a crystal defect called the dislocation and stacking fault which exist in the interior of a columnar crystal will disappear mostly Furthermore, termination of the non-coupling hand of the silicon atom which remained is carried out by hydrogen and the halogen which are contained in film.

0032] Therefore, this invention persons define the field inside two or more needlelike or columnar crystals as "a field it can be considered that is a single crystal substantially for a carrier" in the state which shows in drawing 10 (A) obtained as mentioned above.

0033] It means that there is no obstruction which a carrier faces moving, saying "it can be regarded as a single crystal substantially for a carrier", and bars movement of a carrier

and is put in another way as that there is neither a crystal defect nor a grain boundary, the potential barrier which serves as an obstruction in energy not existing, etc.

)034] The highly efficient semiconductor device which is sufficient for this invention constituting the barrier layer of the semiconductor device represented by TFT using the crystalline silicon film which becomes with the above composition, and constituting a drive circuit and a logical circuit is realized.

)035] Suppose that it has in the example indicated below about the composition of the above this inventions, and detailed explanation is given.

)036]

Example]

Example 1] this example shows the example which used the crystalline silicon film formed according to the production method of this invention as a barrier layer of TFT (TFT). Being shown in drawing 1 is one example of the production process of TFT.

)037] In addition, the crystallization means of the amorphous silicon film used by this example is the technology indicated by JP,7-321339,A. Therefore, in this example, since stops to indicate the outline, it is good to refer to the aforementioned official report for details.

)038] The base 101 which has an insulating front face first is prepared. In this example, the oxidization silicon film 102 is formed in thickness of 2000A as a ground film on a quartz substrate. What is necessary is just to use reduced pressure heat CVD, a plasma CVD method, a spatter, etc. as the membrane formation method of the oxidization silicon film 102. Moreover, when the upper limit temperature of a TFT production process is below 700 **, it is also possible to use a glass substrate as a base 101.

)039] In addition, in case an amorphous silicon film is crystallized behind, research of this invention persons shows that the crystallinity of the crystalline silicon film with which the one where a ground film is more precise is obtained is good. To moreover, the inside of a film $5 \times 10^{17} - 2 \times 10^{19}$ atoms/cm³ It is desirable when oxygen is contained. The oxygen contained in the film plays a role important in a next crystal or the case of etching processing of the metallic element which promotes.

)040] Next, amorphous silicon film 103 Membranes are formed by reduced pressure heat CVD in thickness of 750A. What is necessary is just to use a disilane (Si two H₆), siliran (Si three H₈), etc. as membrane formation gas. In addition, the amorphous silicon film which formed membranes by reduced pressure heat CVD has a small rate of natural karyogenesis in the case of next crystallization. This thing is desirable, when enlarging horizontal growth width of face, since the rate each crystal carries out [a rate] mutual interference (it collides and growth stops) decreases.

)041] Of course, it is also possible as the membrane formation method of the amorphous silicon film 103 to use a plasma CVD method, a spatter, etc.

)042] Next, the oxidization silicon film 104 with a thickness of 500-1200A is formed by the plasma CVD method or the spatter, and etching removal only of the field which

introduces the metallic element which promotes crystallization behind it is carried out alternatively. That is, this oxidization silicon film 104 functions as a mask insulator layer or introducing nickel alternatively to the amorphous silicon film 103.

0043] The field 105 exposed with the oxidization silicon film 104 is formed in the direction perpendicular to space in the shape of [which has a longitudinal direction] a it. (Drawing 1 (A))

0044] Next, UV light is irradiated into oxygen atmosphere and a very thin oxide film (not shown) is formed in the front face of the amorphous silicon film 103 exposed by the field 105. This oxide film is for improving the wettability of a solution at the solution application process at the time of introducing the metallic element which promotes crystallization behind.

0045] In addition, although a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au are used as a metallic element which promotes crystallization, this example explains taking the case of nickel (nickel).

0046] Next, the nickel nitrate solution (or nickel acetate solution) which contained nickel by predetermined concentration (it is 10 ppm by weight conversion at this example) is dropped, and the thin water screen 106 which contained nickel by the spin coat method is formed. The nickel concentration added in an amorphous silicon film is easily controllable by adjusting the concentration of a nickel salt solution in a solution application process. (Drawing 1 (B)) (1)

0047] Next, in 500 after performing 450 ** and hydrogen **** of about 1 hour into an inert atmosphere - 700 **, and a representation target, it is at the temperature of 550 - 600 *. 4-8 Heat-treatment (1st heat-treatment) of time is added, and the amorphous silicon film 103 is crystallized. In this way, the crystalline silicon film 107 is obtained. (Drawing (C))

0048] this time -- that a crystal growth is needlelike or a columnar crystal -- a substrate - an outline -- it goes on in the parallel direction Since the field where it is shown by 105 in the case of this example serves as [of the drawing] the shape of a slit which has a longitudinal direction in the **** direction from this side, as shown by the arrow 108, a crystal growth advances toward outline 1 direction. At this time, it can be made to perform a crystal growth over hundreds of micrometers or more.

0049] In addition, a nickel addition field is shown by 109 and it contains nickel by high concentration compared with the horizontal growth field 107. The crystallinity of the field is not so good, in order that a crystalline nucleus may crowd too much and may carry out the crystal growth of the addition field 109. Therefore, the barrier layer formed behind consists of fields except the addition field 109.

0050] In the case of crystallization, the nickel contained in the water screen 106 is diffused in the amorphous silicon film 103 through the oxide film which is not illustrated, and functions as a catalyst which promotes crystallization. Nickel and silicon specifically react, silicide is formed, it serves as a crystalline nucleus, and crystallization advances.

0051] a crystal needlelike , a crystal growth / from the field which the crystalline nucleus generated] at this time, or pillar-shaped -- a substrate -- an outline -- it extends and goes on in the parallel direction Under the present circumstances, if the temperature of heat-treatment exceeds 600 **, natural karyogenesis will arise regardless of the catalysis of nickel. Then, since [which uses nickel silicide as a crystalline nucleus] the crystal growth of needlelike or a columnar crystal is checked and the growth width of face of a crystal growth becomes short, it is not desirable. Therefore, there is little natural karyogenesis and it is desirable to consider as conditions which a crystalline nucleus generates only with the introduced nickel.

0052] Next, if the heat-treatment for crystallization is completed, the oxidization silicon film 104 used as the mask insulator layer for adding nickel alternatively will be removed. This process is easily performed by buffered fluoric acid etc. 2

0053] In addition, you may give laser annealing by the excimer laser to the back before heat-treatment in the atmosphere containing a next halogen to the crystalline silicon film 05. However, although the crystallinity of a crystalline silicon film can improve by laser radiation, since irregularity is easy to be formed in a silicon film front face, cautions are required.

0054] Next, patterning of the obtained crystalline silicon film 107 is carried out, and the island-like semiconductor layer 110 is formed. The island-like semiconductor layer 110 functions as a barrier layer of TFT later. In addition, in this invention, arrangement of an island-like semiconductor layer is important. About that, it mentions later.

0055] Moreover, although heat-treatment in the atmosphere containing the following halogen is performed in this example after forming the island-like semiconductor layer 16, before forming an island-like semiconductor layer conversely, you may perform heat-treatment in the atmosphere containing a halogen. 2

0056] However, it is desirable, when carrying out gettering of the nickel efficiently, since the surface area of direction [after processing the crystalline silicon film 107 in the shape of an island] increases.

0057] Moreover, although the island-like semiconductor layer 110 is formed by the dry etching method, there is a possibility that the plasma damage which remained on the edge of an island-like semiconductor layer then may cause a leakage current of TFT. In the case of this example, since the edge of the island-like semiconductor layer 110 is oxidized thermally, it serves also as removal of a plasma damage.

0058] Next, it heat-treats in the atmosphere which contains a halogen to the island-like semiconductor layer 110 obtained according to the above-mentioned process (2nd heat-treatment). The temperature requirement of heat-treatment is the temperature exceeding 800 **, considers as 800-1000 degrees C (typically 950 **) preferably, and is the processing time. On 1 - 24 hours, and a representation target You may be 6 - 12 hours.

0059] In this example, 950 ** and heat-treatment for 30 minutes are performed into the atmosphere which made the hydrogen chloride (HCl) contain [be / under / oxygen (O₂)

atmosphere / receiving / it, by the concentration of 0.5 - 10 volume %. In addition, if HCl concentration is carried out to more than the above-mentioned concentration, since irregularity of the same grade as thickness arises on the film front face of a crystalline silicon film, it is not desirable.

0060] And on the front face of the island-like semiconductor layer 110, the silicon film of about 250 ** oxidizes by this heat-treatment. The 500A thermal oxidation film 111 is formed, and the thickness of the island-like semiconductor layer 110 is abbreviation. It becomes 500A.

0061] In order to acquire the effect, it is important for the heat-treatment for gettering to carry out at the temperature more than 700 **. It is because the thermal oxidation film formed in the film front face serves as a blocking layer and it becomes impossible to acquire sufficient gettering effect at the temperature not more than it.

0062] Moreover, gettering processing can set up various conditions by setting up processing temperature, processing atmosphere, and the processing time suitably. For example, it can attain by lowering processing temperature or reducing the content of a halogen to lengthen the processing time and set up efficiency gettering time for a long time.

0063] Moreover, it serves as both the purpose which carries out gettering removal of the nickel contained in the island-like semiconductor layer 110 (the segregation is strictly carried out to the grain boundary of needlelike or a columnar crystal) by the halogen, and the purpose which forms a thermal oxidation film and utilizes it as a gate insulator layer in this example.

0064] Of course, both purposes can be divided separately and heat-treatment for gettering and heat-treatment (3rd heat-treatment) for thermal oxidation film (gate insulator layer) formation can also be performed separately.

0065] Moreover, the gate insulator layer which comes by the oxidization silicon film on an island-like semiconductor layer may be formed by the means of a plasma CVD method, reduced pressure heat CVD, or a spatter, and heat-treatment in the atmosphere containing the above-mentioned halogen may be performed after that.

0066] in addition -- although the compound was carried out and the example containing a halogen using HCl gas was shown by this example -- as the other gas -- HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, and Br₂ etc. -- a kind or two or more sorts of things chosen from the compound containing a halogen can be used Moreover, generally the hydride or the organic substance (charcoal hydride) of a halogen can also be used.

0067] In this process, gettering of needlelike or the nickel which segregated to the grain boundary of a columnar crystal is carried out by operation of a halogen, it becomes an volatile nickel chloride and it is thought that it is broken away and removed into the atmosphere.

0068] Or nickel is not contained by the above gettering process, it is checked by SIMS analysis that the island-like semiconductor layer 110 reduced by even the grade (below

x10¹⁸ atoms/cm³ preferably below 1x10¹⁷ atoms/cm³) which does not affect a device property is obtained. Moreover, the high impurity concentration in this specification is ad and defined by the minimum value of the measurement value obtained by SIMS analysis. (Drawing 1 (D))

0069] In addition, in this invention persons' knowledge, the nickel used for promotion o rystallization is in the needlelike or inclination which carries out many segregations to the grain boundary of a columnar crystal, and it is thought that it is hardly contained substantially [inside a columnar crystal] needlelike.

0070] However, by the present SIMS analysis, since the information on both the interior of a crystal and the grain boundary is gathered, the concentration of the nickel in this specification means strictly the average concentration which equalized the nickel concentration contained in the interior of a crystal, and the grain boundary.

0071] Moreover, when a gettering process is performed, the halogen used for gettering processing in a crystalline silicon film 1x10¹⁵ - 1x10²⁰ atoms/cm³ It remains by concentration. There is an inclination to be distributed between a crystalline silicon film and a thermal oxidation film at high concentration, in that case.

0072] In addition, the nickel removed in the above-mentioned gettering process is extruded to the grain boundary of needlelike or a columnar crystal in the case of crystallization, and segregates. That is, it is thought by the grain boundary that it existed is nickel silicide.

0073] The nickel which existed as nickel silicide turns into a nickel chloride, it secedes from it, and the azygos joint hand of silicon that combination with nickel was cut will be in the state of existing in the grain boundary mostly.

0074] However, it is thought that it combines with oxygen easily and the azygos joint hand formed since the above-mentioned process was performed at comparatively high temperature into an oxidizing atmosphere forms an oxide (oxidization silicon expressed with SiOX). That is, this invention persons think that a crystalline silicon film serves as a crystal structure object on which oxidization silicon functions as the grain boundary according to a series of above-mentioned heating processes.

0075] Moreover, since termination of the azygos joint hand which remained is carried out by hydrogen and the halogen which are contained in the island-like semiconductor layer 110, or it is compensated by the reunion of silicon and crystal defects, such as transposition and a stacking fault, disappear mostly by the reunion and the rearrangement of a silicon atom further, it is thought that the crystallinity inside needlelike or a columnar crystal is also improved remarkably.

0076] Therefore, a columnar crystal is remarkable needlelike, crystallinity is improved, and the island-like semiconductor layer 110 consists of crystal structure objects with the field for which it is enough removed by even the grade nickel does not have [grade] trouble in a device property by heat-treatment in halogen atmosphere, and the island-like semiconductor layer 110 is constituted and it can be substantially considered for a carrier

that is a single crystal.

0077] If it ends to formation of the gate insulator layer (thermal oxidation film) 111 as mentioned above, it will have an aluminum film (not shown) for next constituting a gate electrode in the thickness of 2500A by the spatter, and membranes will be formed. A scandium is made to contain 0.2% of the weight in this aluminum film for a hillock or whisker prevention.

0078] In addition, although the material which makes ARUMINIMU a principal component as a material which forms a gate electrode (gate ******) is used in this example, a tungsten, a tantalum, molybdenum, etc. can also be used for others. Moreover you may utilize the crystalline silicon film which gave conductivity as a gate electrode.

0079] the pole which will not be illustrated on the front face if an aluminum film is formed -- a thin oxide film on anode is formed This oxide film on anode performs as an electrolyte what neutralized the ethylene glycol solution containing 3% of tartaric acid with aqueous ammonia. Namely, anodic oxidation is performed by using platinum as cathode into this electrolyte, using an aluminum film as an anode plate.

0080] The oxide film on anode formed at this process has precise membranous quality, and it functions in order to raise adhesion with the resist mask formed behind. In addition, thickness of this oxide film on anode is taken as a 100 ** grade. Moreover, thickness is controllable by applied voltage.

0081] Next, the pattern 112 of the aluminum film of the shape of an island which carries out patterning of the aluminum film and serves as a prototype of a gate electrode as shown in drawing 1 (D) is formed. In addition, the resist mask (not shown) used at this time is made to remain as it is. (Drawing 2 (A))

0082] And anodic oxidation which used the pattern 112 of an aluminum film as the anode plate again is performed. Here, 3% of oxalic acid solution is used as an electrolyte. In this anodic oxidation process, since the resist mask which is not illustrated exists, anodic oxidation advances only in the side of the pattern 112 of aluminum. Therefore, as drawing 2 (B) shown in 113, an oxide film on anode is formed.

0083] Moreover, the oxide film on anode 113 formed at this process has the shape of porosity, and can also make the growth distance perform to several micrometers. The thickness of the oxide film on anode 113 of the shape of this porosity is 0.7. It is referred to as mum. Moreover, the thickness of this oxide film on anode 113 is controllable by anodic oxidation time.

0084] If the oxide film on anode 113 of the shape of porosity shown in drawing 2 (B) is formed, the resist mask which is not illustrated will be removed. And the precise oxide film on anode 114 is formed by performing anodic oxidation for the second time. This anodic oxidation process is performed on the same conditions as having formed the above-mentioned precise oxide film on anode.

0085] However, thickness to form is made into 900 **. In this process, in order that an electrolyte may advance into the interior of the porosity-like oxide film on anode 113, as

shown in drawing 2 (B), an oxide film on anode 114 is formed. Moreover, if thickness of oxide film on anode 114 is thickened like 1500A or more, an offset gate field can be formed in the pouring process of next impurity ion.

0086] Moreover, the gate electrode 115 demarcates through the above process. The precise oxide film on anode 114 functions in order to protect the front face of the gate electrode 115 or to suppress generating of a hillock or a whisker in a next process.

0087] Next, if it forms to the precise oxide film on anode 114, the impurity ion for forming the source / drain field in this state will be poured in. What is necessary is to pour in P (Lynn) ion, if N channel type TFT is produced, and just to pour in B (boron) ion, if P channel type TFT is produced.

0088] In this process, the source field 116 and the drain field 117 where the impurity was added by high concentration are formed.

0089] Next, using the mixed acid which mixed the acetic acid, the phosphoric acid, and the nitric acid, after removing the porosity-like oxide film on anode 113 alternatively, the ion implantation of P ion is performed again. Rather than the time of forming previous source / drain field, it has this ion implantation by the low dose, and it is performed.

Drawing 2 (C))

0090] Then, as compared with the source field 116 and the drain field 117, the low of high impurity concentration and the low concentration impurity ranges 118 and 119 are formed. And the field shown by 120 of gate electrode 115 directly under becomes a self-adjustment target with a channel formation field.

0091] In addition, especially the low concentration impurity range 119 arranged between the channel formation field 120 and the drain field 117 is called LDD (light doped drain field), and has the effect which eases the high electric field formed between the channel formation field 120 and the drain field 117.

0092] Moreover, the channel formation field 120 (strictly needlelike or interior of a columnar crystal) consists of genuineness fields genuineness or substantially. About 1/2 of activation energy is it 2 that it is a genuineness field genuineness or substantially (a Fermi level is located in the center of a forbidden band), and it means that high impurity concentration is a low field or that it is the undoping field which does not add impurities, such as P or B, intentionally rather than spin density.

0093] Furthermore, annealing of the field where the ion implantation was performed is performed after the pouring process of the above-mentioned impurity ion by performing irradiation of a laser beam, infrared light, or ultraviolet radiation. Activation of addition and the recovery of damage which the barrier layer received at the time of an ion implantation are performed by this processing.

0094] Moreover, it is effective if a plasma hydrogen treating is performed by the temperature requirement of 300 - 350 °C here for 0.5 to 1 hour. This process carries out hydrogen termination of the azygos joint hand generated by hydrogen desorption from a barrier layer again. If this process is performed -- inside of a barrier layer 1x10²¹ atoms /

m³ the following -- desirable -- 1x10¹⁵ to 1x10²¹ atoms / cm³ Hydrogen is added by concentration.

0095] In this way, if the state which shows in drawing 2 (C) is acquired, next, membranes will be formed layer insulation film 121. The layer insulation film 121 has and consists of cascade screens of an oxidization silicon film, a silicon nitride film, an oxidization silicon nitride film, organic nature resin films, or those films. (Drawing 2 (D))

0096] If a silicon nitride film is used, since it can prevent the hydrogen added at the last process re-emitting to the device exterior, it is desirable.

0097] Moreover, since specific inductive capacity is small when the polyimide which is in organic nature resin film is used, the parasitic capacitance during vertical wiring can be reduced. Moreover, since it can form by the spin coat method, thickness can be earned easily, and improvement in a throughput can be aimed at.

0098] Next, layer insulation film 121 contact hole is formed, and the source electrode 22 and the drain electrode 123 are formed. By heat-treating in 350 more-degree C hydrogen atmosphere, the whole element is hydrogenated and TFT shown in drawing 2 (D) is completed.

0099] Although TFT shown in drawing 2 (D) has simplest structure for explanation, it is easy to consider as desired TFT structure suitably by adding some change and additions to the production process procedure of this example. If it follows, it is possible to produce circuits TFT (an inverter circuit, a shift register circuit, a processor circuit, memory circuit, etc.) which constitute the pixel TFT which constitutes the pixel matrix circuit of active-matrix type display, and a logical circuit.

0100] Here, in case the island-like semiconductor layer 110 is formed as mentioned above, the arrangement explains the reason for being important. Explanation is performed using drawing 3.

0101] When this example is carried out, in order that a columnar crystal may grow up to the outline parallel mutually, there is needlelike or the feature that on the other hand the grain boundary is equal to **. Moreover, it is possible needlelike or to control freely the direction as for which a columnar crystal carries out a crystal growth by adding alternatively the metallic element which promotes crystallization. This thing has a very important meaning.

0102] One example in which the island-like semiconductor layer was formed on the base which has an insulating front face here is shown in drawing 3. What is shown in drawing 3 is an island-like semiconductor layer arranged in the shape of a matrix on a base 301 introducing active matrix liquid crystal display.

0103] In addition, the field shown with the dashed line of 302 is the place where the field for introducing nickel alternatively existed. Moreover, 303 is the place where the macroscopic grain boundary in which the horizontal growth field collided mutually and was formed existed. Since these cannot be checked after they form an island-like

semiconductor layer, they are made to be shown by the dotted line. [0104] moreover, the case where it crystallizes with the means shown by this example -- needlelike or a columnar crystal -- the nickel addition field 302 -- receiving -- an outline it grows up in the perpendicular direction (direction shown by the arrow all over drawing)

[0105] Therefore, the direction of a channel and the grain boundary of needlelike or a columnar crystal can be arranged in the same direction by arranging the island-like semiconductor 304 like drawing 3. And it is possible to realize the above composition on the whole substrate surface by designing so that the nickel addition field 302 may be attained from the edge of a substrate 301 to an edge.

[0106] When it is such composition, the direction of a channel, and needlelike or the direction where a columnar crystal is located in a line will be in agreement. If it puts in another way, it will exactly be needlelike or in agreement [the direction of a channel and / the move direction of the carrier which moves in the interior of a columnar crystal

[0107] That is, in case it functions as a barrier layer of TFT, the energy barrier which hinders movement of a carrier in a channel formation field means the very few thing, and the further improvement in a working speed can be expected.

[0108] Therefore, TFT shown in this example can realize operation very high-speed by considering as composition the direction where a columnar crystal is prolonged, and whose direction of a channel correspond needlelike.

[0109] Here, the electrical property of the semiconductor device shown in drawing 2 (D) which this invention persons produced according to this example is shown in drawing 4. In drawing 4 (A), the electrical property (Id-Vg property) of N channel type TFT and drawing 4 (B) show the electrical property of P channel type TFT. In addition, Id-Vg Threshold graph which shows a property displays the measurement result for ten points collectively

[0110] VG(s) of a horizontal axis are a gate-voltage value and current value to which ID of a vertical axis flows between the source/drain. Moreover, Id-Vg shown by 401 and 402 A property (Id-Vg curve) is Id-Vg which shows the property at the time of drain voltage VD=1V, and is shown by 402 and 404. The property shows the property at the time of drain voltage VD=5V. Moreover, 405 and 406 show the leakage current at the time of drain voltage VD=1V.

[0111] In addition, drain current of an OFF field (drawing 4 (A) below -1V and drawing 4 (B) more than -1V) (Ioff) Most the leakage current (IG) of ON and a /OFF field Since is below 1×10^{-13} A (measurement minimum community), it will be mixed up with the noise in drawing 4 (A) and (B).

[0112] Here, the typical property parameter of TFT by this invention for which it asked from the electrical property shown in drawing 4 (A) and (B) is shown in Table 1 and Table 2. In addition, Table 1 is as a result of the electrical property (arbitrary 20-point

measurement) of N channel type TFT, and Table 2 shows the result of the electrical property (arbitrary 20-point measurement) of P channel type TFT.

[0113]

Table 1]

Nチャネル型TFT測定結果 (SingleGate)

測定点	Ion_1[μA]	Ion_2[μA]	Ioff_1[μA]	Ioff_2[μA]	Ion/Ioff1	Ion/Ioff2	Vin[V]	S-value [mV/dec]	μFE [cm ² /Vs]		IG_on[μA]	IG_off[μA]
	(VD= 1 V) (VG= -5 V)	(VD= 5 V) (VG= -5 V)	(VD= 1 V) (VG= -1 V)	(VD= 5 V) (VG= -1 V)			(VD= 1 V) (VG= -5 V)	(max)	(VD= 1 V) (VG= -5 V)	(VD= 1 V) (VG= -5 V)	(VG= -1 V) (VG= -5 V)	(VG= -1 V) (VG= -5 V)
Point 1	68.51	205.30	1.00	3.30	7.84	7.79	0.08	82.66	160.91	226.64	0.20	-0.40
Point 2	72.80	219.05	0.75	3.85	7.99	7.76	0.12	71.10	171.21	245.00	0.10	-0.05
Point 3	74.35	221.85	0.45	2.65	8.22	7.92	0.05	86.92	170.60	246.84	0.15	-0.15
Point 4	62.61	201.70	0.40	2.15	8.19	7.97	-0.13	79.60	141.63	197.88	-0.05	-0.25
Point 5	48.07	151.25	0.40	1.60	8.08	7.98	0.00	95.12	113.99	153.26	0.10	-0.10
Point 6	74.00	221.70	0.30	2.45	8.39	7.96	0.01	84.31	165.85	245.36	-0.10	-0.30
Point 7	55.30	176.60	0.95	2.85	7.77	7.79	0.05	82.10	137.19	175.19	0.10	-0.15
Point 8	69.90	208.05	0.75	4.35	7.97	7.68	0.11	75.08	165.49	232.56	0.25	0.00
Point 9	60.91	184.95	0.25	1.95	8.39	7.98	0.02	93.08	136.68	202.16	0.05	-0.10
Point 10	60.20	189.65	0.50	2.15	8.08	7.95	0.01	76.93	137.96	199.16	0.30	0.00
Point 11	63.43	195.45	0.40	2.40	8.20	7.91	-0.06	78.77	136.48	210.12	0.00	-0.25
Point 12	63.57	193.45	0.45	2.40	8.15	7.91	-0.05	75.78	140.50	207.06	0.10	-0.60
Point 13	68.51	211.45	0.40	2.85	8.23	7.87	0.01	78.62	160.14	222.11	0.40	-0.55
Point 14	66.78	204.05	0.40	2.10	8.22	7.99	-0.02	74.36	148.21	220.63	0.30	-0.50
Point 15	61.30	185.95	0.45	2.35	8.13	7.90	0.05	81.25	137.90	205.02	0.00	-0.45
Point 16	68.70	208.75	0.35	1.90	8.29	8.04	-0.01	71.23	151.01	227.97	0.15	-0.30
Point 17	68.18	211.50	0.40	1.80	8.23	8.07	-0.08	71.10	148.36	223.84	0.30	-0.60
Point 18	63.92	197.50	0.40	1.65	8.20	8.08	-0.10	75.64	142.34	205.02	0.20	-0.35
Point 19	66.07	201.25	0.60	2.70	8.04	7.87	0.17	87.23	167.03	216.19	0.25	-0.40
Point 20	70.37	210.80	0.60	2.05	8.07	8.01	0.02	79.04	162.28	229.81	0.20	-0.30
平均値	65.37	200.01	0.51	2.47	8.13	7.92	0.01	80.00	149.79	214.59	0.15	-0.29
標準偏差σ	6.40	16.87	0.20	0.71	0.16	0.10	0.08	6.78	15.16	23.19	0.13	0.19

[0114]

Table 2]

Pチャネル型TFT測定結果 (SingleGate)

測定点	Ion_1[μA]	Ion_2[μA]	Ioff_1[μA]	Ioff_2[μA]	Ion/Ioff1	Ion/Ioff2	Vin[V]	S-value [mV/dec]	μFE [cm ² /Vs]		IG_on[μA]	IG_off[μA]
	(VD= 1 V) (VG= -5 V)	(VD= 5 V) (VG= -5 V)	(VD= 1 V) (VG= -1 V)	(VD= 5 V) (VG= -1 V)			(VD= 1 V) (VG= -5 V)	(max)	(VD= 1 V) (VG= -5 V)	(VD= 1 V) (VG= -5 V)	(VG= -1 V) (VG= -5 V)	(VG= -1 V) (VG= -5 V)
Point 1	30.07	68.22	9.25	59.25	6.51	6.06	-1.11	86.55	118.32	119.60	0.10	0.00
Point 2	36.67	86.63	2.60	46.70	7.15	6.27	-0.93	89.24	131.38	137.90	0.05	-0.20
Point 3	36.60	85.97	2.90	73.25	7.10	6.07	-0.95	98.47	133.57	138.47	0.15	-0.10
Point 4	36.63	85.27	3.35	53.60	7.04	6.20	-0.98	87.55	137.19	140.00	0.05	-0.20
Point 5	35.30	79.59	3.25	39.40	7.04	6.31	-1.14	77.87	140.71	142.24	0.10	-0.20
Point 6	35.72	81.38	2.55	30.45	7.15	6.43	-1.08	73.81	141.07	141.78	0.10	-0.05
Point 7	34.37	77.74	5.50	73.60	6.80	6.02	-1.10	82.63	135.15	136.94	-0.05	-0.20
Point 8	40.70	100.42	10.20	107.25	6.60	5.97	-0.77	73.28	131.58	147.90	0.10	0.05
Point 9	40.70	100.61	4.90	45.00	6.92	6.35	-0.76	75.50	131.83	147.14	0.15	-0.25
Point 10	32.89	74.66	5.75	132.05	6.76	5.75	-1.10	84.48	127.76	129.80	0.15	0.05
Point 11	37.07	88.45	4.30	67.45	6.94	6.12	-0.87	76.54	130.05	137.45	0.40	-0.35
Point 12	30.52	68.83	1.65	37.55	7.27	6.26	-1.15	90.61	120.82	122.15	0.50	-0.30
Point 13	35.17	78.92	1.35	55.50	7.42	6.15	-1.15	85.88	143.51	143.82	0.40	-0.40
Point 14	32.07	72.71	1.80	36.40	7.25	6.30	-1.10	86.48	124.39	126.74	0.40	-0.45
Point 15	33.36	75.57	6.60	120.40	6.70	5.80	-1.10	84.30	131.58	132.65	0.40	-0.35
Point 16	32.29	75.10	3.50	47.90	6.96	6.20	-1.01	84.93	122.35	124.64	0.25	-0.35
Point 17	34.26	76.83	4.40	64.35	6.89	6.08	-1.14	83.28	141.58	141.58	0.65	-0.25
Point 18	31.01	69.91	5.40	253.39	6.76	5.44	-1.18	97.07	123.17	125.46	0.25	-0.50
Point 19	36.25	86.80	5.80	52.20	6.80	6.22	-0.89	79.86	126.53	134.64	0.40	-0.25
Point 20	37.60	93.11	2507.90	17345.00	4.18	3.73	-0.80	89.54	125.46	136.94	0.15	-0.30
平均値	34.96	81.34	129.65	937.03	6.81	5.99	-1.02	84.38	130.90	135.39	0.23	-0.23
標準偏差σ	3.00	9.49	559.79	3862.36	0.66	0.58	0.14	6.94	7.38	8.24	0.18	0.16

[0115] the point which should be noted especially in Table 1 and Table 2 -- a sub threshold level property (S value, S-value) -- 60 - 100 mV/dec, so that it is settled in between -- small -- mobility (micro FE, mobility) -- 150-300cm²/Vs ** -- it is very large

that it may say In addition, mobility means electric field effect mobility in this specification.

0116] It is proving that such measurement data is the values which cannot be attained in the conventional TFT, and it is just very highly efficient TFT which is equal to MOSFET which TFT by this invention produced on the single crystal.

0117] Moreover, it is simultaneously checked by the acceleration deterioration test by measurement repeatedly that TFT by this invention is very strong to degradation.

Although it has the fault that TFT which carries out high-speed operation experientially tends to deteriorate, TFT by this invention does not have degradation, either and it has become clear to have the very high proof-pressure property.

0118] Moreover, in Table 1 and Table 2, the average and standard deviation (sigma value) are also indicated as reference. Standard deviation is used as a scale of the distribution (variation) from the average. Supposing a measurement result (population) generally follows a normal distribution (Gaussian distribution), it is known that 99.7% will go into the inside of **1sigma in the inside of **2sigma 95.4% 68.3% of the whole focusing on the average at the inside of **3sigma.

0119] For example, it is N channel type TFT produced by this invention 100 If individual measurement is carried out, the S value of TFT of the 95 private contracts will be 60 - 100 mV/dec (when it is P channel type TFT, it is 70 - 100 mV/dec). It means fitting in the range.

0120] In order that this invention persons might evaluate distribution of the TFT property of this example to accuracy more, they measured 540 TFT and asked for the average and aim deflection from the result. Consequently, the averages of S value were 0.5 mV/dec (n-ch) and 80.6 mV/dec (p-ch), and standard deviation was 5.8 (n-ch) and 1.5 (p-ch). moreover, mobility (max) the average -- 194.0cm²/Vs (n-ch) and 31.8cm²/Vs (p-ch) it is -- standard deviation was 38.5 (n-ch) and 10.2 (p-ch)

0121] That is, a TFT property as shown below can be acquired in N channel type TFT using this invention.

1) The sigma values of S value are 5 mV/dec preferably less than 10 mV/dec. It fits in less than.

2) Less than 80**30 mV/dec of S value is preferably settled in less than 80**15 mV/dec

3) The sigma value of muFE is preferably settled within 35cm²/Vs less than 40cm²/Vs.

0122] Moreover, a TFT property as shown below can be acquired in P channel type TFT using this invention.

1) Less than 15 mV/dec of sigma values of S value is preferably settled in less than 10 mV/dec.

2) S value Less than 80**45 mV/dec is preferably settled in less than 80**30 mV/dec.

3) The sigma value of muFE is preferably settled within 10cm²/Vs less than 15cm²/Vs.

0123] As mentioned above, TFT by this invention can constitute logical circuits which

eed high-speed operation, such as a complicated SRAM circuit, a complicated DRAM circuit, etc. which realize the extremely excellent electrical property and were produced in the single crystal until now and where only MOSFET was used.

0124] Moreover, although this example has indicated only the example of a production process of TFT of single-gate structure, it is applicable also to TFT of multi-gate structure which has TFT of double-gate structure, and a gate electrode beyond it.

0125] Moreover, it is also possible to produce reverse stagger type TFT, using a crystalline silicon film as a gate electrode. That is, this invention cannot be realized by raising the crystallinity of a barrier layer, and TFT structure can be carried out, without skipping.

0126] [Knowledge about the crystal structure object acquired by this invention] The thing which is needlelike or the crystal structure object which becomes by the aggregate of a columnar crystal as [the thing] the crystalline silicon film obtained by this invention shown in drawing 10 (A) was already described. Here, comparison with the crystal structure object by this invention and the crystal structure object formed by other methods is performed.

0127] The photograph shown in drawing 11 is a transverse-electromagnetic photograph of the sample which completed even crystallization of an amorphous silicon film in the procedure of an example 1. That is, the crystal structure of the crystalline silicon film which omits heat-treatment containing a halogen is shown.

0128] Many dislocation defects (inside of the circle shown by 1101) exist in the interior of needlelike or the columnar crystal immediately after crystallization so that it can check in drawing 11. However, with the transverse-electromagnetic photograph shown in drawing 10 (A), such a dislocation defect is not checked but it turns out that it has the beautiful crystal structure.

0129] This thing serves as proof of heat-treatment in the atmosphere which contains a halogen in this invention having contributed to the crystalline improvement greatly.

0130] Moreover, the crystal structure object shown in drawing 12 is an example in case his inventions shall differ the crystallization conditions of an amorphous silicon film. An amorphous silicon film is specifically crystallized by performing heat-treatment of 600 *48 hours in nitrogen-gas-atmosphere mind, and thermal oxidation processing has been performed at the temperature of about 900-1100 degrees C.

0131] As shown in drawing 12 (A), each crystal grain of the crystalline silicon film formed as mentioned above is large, and it is in the state where it was divided by the grain boundary distributed irregularly. Moreover, it is drawing 12 (B) which expressed drawing 12 (A) typically.

[0132] Crystal grain 1201 is in the state where it was surrounded by the irregular grain boundary 1202, in drawing 12 (B). Therefore, if the crystal structure object actually shown in drawing 12 (A) is used as a barrier layer of TFT, the energy barrier produced by the irregular grain boundary 1202 will check movement of a carrier.

0133] On the other hand, the crystal structure object as shown in drawing 10 (A) is in the state where the grain boundary 1002 arranged with a certain amount of regularity, as shown / in drawing 10 (B)]. Therefore, in the interior of a columnar crystal, it is thought that there is not needlelike or an energy barrier which checks movement of a carrier.

0134] In addition, that this invention persons are needlelike or as a result of observing the array state of a columnar crystal by the about 10,000 to 50,000-time wide field of view, it is checked needlelike or that there is a case so that a columnar crystal may advance zigzag. A crystal growth is a phenomenon resulting from going in the direction of energy, and this is conjectured that a kind of grain boundary is formed in the part which crystal orientation converted.

0135] However, it is being surmised that it is a thing like a twin crystal grain boundary with this grain boundary inactive in energy needlelike [this invention persons] that may be produced inside a columnar crystal. That is, although crystal orientation differs, I am the grain boundary continuously combined with sufficient adjustment, and think that it is a grain boundary (not substantially regarded as a grain boundary) used as an energy barrier to the extent that movement of a carrier is barred.

0136] As mentioned above, since an irregular grain boundary is distributed so that it may have the crystal structure as shown in drawing 12 (A) and movement of a carrier may be interrupted, the polycrystal silicon (contests polysilicon) film crystallized in the usual process is difficult to attain high mobility.

0137] However, when the crystalline silicon film by this invention had the crystal structure as shown in drawing 10 (A) and the grain boundary has gathered in the outline direction, the interior of a columnar crystal is considered that needlelike or the grain boundary which serves as an energy barrier substantially does not exist. That is, since a carrier becomes possible [moving in the interior of a crystal], without being prevented in any way, very high mobility can be attained.

0138] The point that a columnar crystal should be observed is a point which is especially acquired by this invention and which is considered to grow up continuously the distance of dozens - no less than 100 micrometers of numbers, changing crystal orientation, avoiding needlelike or distortion resulting from irregularity, stress, etc.

0139] If a guess of this invention persons is right, it can be said that the crystalline silicon film by this invention is a completely new crystal structure object which consists of the aggregates of a special crystal which grow without forming in the interior of a crystal the grain boundary which may serve as a carrier trap.

0140] [Example 2] this example is an example which has by TFT shown in the example 1, and forms a CMOS circuit. A CMOS circuit is constituted combining N channel type TFT and P channel type TFT of structure as shown in the example 1 complementary.

0141] One example of the production process of the CMOS circuit in this example is explained using drawing 5 and drawing 6. In addition, the application range of the crystalline silicon film formed of this invention is wide, and the method of forming a

MOS circuit is not what was restricted to this example.

[0142] According to the production procedure first shown in an example 1, the oxidation silicon film 502 is formed on the quartz substrate 501, and a crystalline silicon film (not shown) is obtained on it. And the island-like semiconductor layer 503 of N channel type TFT and the island-like semiconductor layer 504 of P channel type TFT are formed by carrying out patterning of it.

[0143] If the island-like semiconductor layers 503 and 504 are formed, heat-treatment in the atmosphere containing a halogen will be performed. Let processing conditions be the same things as an example 1 in this example. In this way, the thermal oxidation films 505 and 506 which function as a gate insulator layer are formed by the thickness of 500 **.

[0144] In addition, in order to simplify explanation here, the example which forms N channel type TFT and P channel type TFT of a lot is shown. N channel type TFT and P channel type TFT are formed in hundreds or more units on the same glass substrate in fact.

[0145] Next, patterning of the aluminum film (not shown) which constitutes the prototype of a gate electrode behind is formed and carried out, and the patterns 507 and 508 of an aluminum film are formed (it leaves the resist mask which used after pattern formation for patterning).

[0146] in order that this aluminum film may suppress generating of a hillock or a whisker like an example 1 -- a scandium -- 0.2 wt % of the weight -- it is made to contain. The membrane formation method of an aluminum film is performed using a spatter or an electron-beam-evaporation method.

[0147] A hillock and a whisker are the shape of a prickle resulting from unusual growth of aluminum, and a needlelike projection. Existence of a hillock and a whisker becomes the cause which short-circuit and a KUROSUKU talk generate between the wiring estranged between ***** wiring and between upper limits.

[0148] The metal of a tantalum, molybdenum, etc. which can be anodized can be used as material other than an aluminum film. Moreover, it is also possible to use the silicon film which gave conductivity instead of the aluminum film.

[0149] In this way, the state of drawing 5 (A) is acquired. If the patterns 507 and 508 of an aluminum film are formed next, it will have on the same conditions as an example 1, and the porous oxide films on anode 509 and 510 will be formed in the side of the patterns 507 and 508 of an aluminum film. At this example, it is the thickness of the oxide films on anode 509 and 510 of this porosity 0.7 It is referred to as mum.

[0150] It has in a further on the same conditions as an example 1, and the precise and firm oxide films on anode 511 and 512 are formed in it. However, in this example, attainment voltage is adjusted so that this thickness may become 700 **. Moreover, the gate electrodes 513 and 514 demarcate according to this process. In this way, a state like drawing 5 (B) is acquired.

[0151] Next, P (Lynn) ion is doped on the whole surface as an impurity which gives N

ype. this doping -- $0.2 - 5 \times 10^{15}$ atoms/cm² -- desirable -- $1 - 2 \times 10^{15}$ atoms/cm² ** -- it carries out by the high dose to say As the doping method, the plasma doping method and the ion doping method are used.

[0152] The fields 515-518 where P ion was poured into high concentration are formed as result of the process shown in this drawing 5 (C). These fields function as the source / drain field later. (Drawing 5 (C))

[0153] Next, the porosity-like oxide films on anode 509 and 510 are removed using the mixed-acid solution which mixed the acetic acid, the nitric acid, and the phosphoric acid. At this time, since the ion implantation of the barrier-layer field located directly under oxide films on anode 509 and 510 is not carried out, it is genuineness substantially.

[0154] Next, as shown in drawing 5 (D), P ion is poured in again. pouring of this P ion -- dose $0.1 - 5 \times 10^{14}$ atoms/cm² -- desirable -- $0.2 - 1 \times 10^{14}$ atoms/cm² ** -- it considers as the low value to say

[0155] That is, pouring of P ion performed at the process shown by drawing 5 (D) makes the dose a low thing as compared with the dose performed in the process shown in drawing 5 (C). Then, as compared with fields 515-518, the low concentration impurity ranges 519-522 of high impurity concentration are formed as a result of this process.

[0156] When the process shown in drawing 5 (D) is completed, the barrier layer of N channel type TFT is completed. That is, the source field 515 of N channel type TFT, the drain field 516, the low concentration impurity ranges (or LDD field) 519 and 520, and the channel formation field 523 demarcate.

[0157] Moreover, although not illustrated especially, the field which had the ion implantation interrupted by the oxide film on anode 511 exists between the channel formation field 523 and the low concentration impurity ranges 519 and 520. This field is called offset field and the distance is determined by the thickness of an oxide film on anode 511.

[0158] Although the ion implantation of the offset field is not carried out but it is genuineness substantially, since a gate voltage is not impressed, a channel is not formed, but field strength is eased, and it functions as a resistance component which suppresses degradation. However, when the distance (offset width of face) is short, it does not function as an efficiency offset field. In this example, since the width of face is 700 **, it does not function as an offset field.

[0159] Next, as shown in drawing 6 (A), the wrap resist mask 524 is formed for left-hand side N channel type TFT. And B (boron) ion is poured in as an impurity which gives P type in the state which shows in drawing 6 (A).

[0160] here -- dose of B ion $0.2 - 10 \times 10^{15}$ atoms/cm² -- desirable -- $1 - 2 \times 10^{15}$ atoms/cm² It considers as a grade. This dose carries out to of the same grade as the dose in P ion-implantation process shown in drawing 5 (C), or more than it.

[0161] All of the conductivity type of the impurity (P ion) fields 517, 518, 521, and 521

are reversed from N type to P type according to this process, and the source field 525 of channel type TFT and the drain field 526 are formed. Moreover, the channel formation field 527 is formed directly under the gate electrode 514.

[0162] Next, the resist mask 524 is removed after the end of the process shown in drawing 6 (A), and strong light, such as a laser beam or infrared light, and ultraviolet radiation, is irradiated all over a substrate. Activation of the impurity ion added by this process and the recovery of damage of the field where impurity ion was poured in are performed. (Drawing 6 (B))

[0163] Next, if the state which shows in drawing 6 (B) is acquired, the layer insulation film 528 will be formed in thickness of 4000A. Any of an oxidization silicon film, an oxidization silicon nitride film, a silicon nitride film, and an organic nature resin film are sufficient as the layer insulation film 528, and it is good also as multilayer structure. The membrane formation method of these insulator layers should just use a plasma CVD method, heat CVD, and the spin coat method.

[0164] Next, a contact hole is formed and the source electrode 529 of N channel type TFT and the source electrode 530 of P channel type TFT are formed. Moreover, a CMOS circuit is realized by considering the drain electrode 531 as composition which is shared between N channel type TFT and P channel type TFT. (Drawing 6 (C))

[0165] The CMOS circuit which becomes with the structure shown in drawing 6 (C) is producible through the above process. A CMOS circuit is an inverter circuit of the simplest composition, and the closed circuit which connected odd sets and formed the CMOS inverter circuit in series is called ring oscillator, and in case it evaluates the working speed of a semiconductor device, it is used.

[0166] The upper surface photograph shown in drawing 7 (A) here is the ring oscillator circuit constituted combining the CMOS circuit produced according to this example. The invention persons actually made active matrix liquid crystal display as an experiment using this invention, and checked the performance of the drive circuit of operation by the ring oscillator.

[0167] In addition, the gate electrode width of face of the CMOS circuit which constitutes the ring oscillator shown in drawing 7 (A) is about 0.6. It is as thin as mum, and the channel formation field has turned even into the grade which a short channel effect generates minutely, if it usually becomes.

[0168] Moreover, the photograph of a shift register circuit is shown in drawing 7 (B) as reference. The shift register circuit shown in drawing 7 (B) is one of the important circuits which constitute the circumference drive circuit made as an experiment, and is a logical circuit which specifies the address of a pixel field. A drive on the very high frequency of several MHz - about dozens of MHz is required especially of the shift register circuit for horizontal scannings (for source sides) at the time of real operation.

[0169] The oscillation frequency of a ring oscillator circuit was measured by the ring oscillator which connected 9 and 19 or 51 sets (stage) of CMOS circuits. With

sequently, supply voltage 3-5V and nine steps of ring oscillators. The oscillation frequency exceeding 500 MHz is obtained in 300MHz or more, and it became clear that working speed is very quick.

0170] These values mean having an about 20 times as many working speed as this compared with the ring oscillator produced at the conventional production process. Moreover, even if it shakes supply voltage in 1-5V, oscillation frequency of dozens - 100MHz of numbers is always realized.

0171] A ring oscillator circuit is a test pattern for evaluating a working speed, and when logical circuits, such as a shift register circuit and a processor circuit, are actually constituted, it cannot avoid that a working speed decreases. This is for various addition capacity to join the logical circuit itself.

0172] However, also in the situation that such added value was added, the CMOS circuit using this invention can carry out high-speed operation satisfactory, and has the performance which meets the demand of all logical circuits.

0173] Furthermore, channel length is 0.6. TFT by this invention is hardly influenced by the short channel effect, but also having the high proof-pressure property of being able to be equal also to very high-speed operation as shown in this example, in spite of having turned into mum minutely extremely means having very high reliability.

0174] [Guess drawn from the composition of this invention] As the example 1 and the example 2 showed, TFT produced according to this invention has realized the very high performance (a high-speed operation property, high proof-pressure property). Especially, S value is 60 - 100 mV/dec and electric field effect mobility (micro FE). 150-300cm²/Vs fitting in the range (it being thought that actual electric field effect mobility is higher although mentioned later) etc. is could not accomplish at all in the conventional TFT.

0175] Moreover, also experientially, the feature that it is strong to degradation can be called unique phenomenon, having such a high-speed operation property. Then, since TFT by this invention considered why it would excel even like this in degradation-proof nature and guessed one theory from there, this invention persons indicate below.

0176] In order to raise the proof pressure (proof pressure between source-drains) of TFT it is to prepare an offset field and a LDD field between a channel formation field, and the source / drain field at a general target. However, by experience of this invention persons, nobility is 150cm²/Vs also as such structure. It turns out that degradation which exceeds or becomes takes place.

0177] Then, this invention persons thought as important the influence of the grain boundary of needlelike as a reason nil why pressure-proofing of TFT by this invention is high, or a columnar crystal. The azygos joint hand of a silicon atom combines with oxygen, and this grain boundary consists of oxides (oxidization silicon) at the same time the metallic element which promotes crystallization by heat-treatment containing a halogen is removed.

0178] That is, this invention persons surmised that the grain boundary (oxide field)

which exists in a channel formation field locally was easing effectively the high electric field especially built between a channel formation field and a drain field between a source field and a drain field.

0179] I suppressed the electric field formed of the depletion-layer charge in which especially the grain boundary that becomes in an oxide field specifically spreads from a drain field, and thought that it was functioning so that diffusion potential by the side of the source may not be changed also in the state (state which the drain side depletion-layer charge increased) where drain voltage became high.

0180] When the above was summarized and the crystalline silicon film by this invention is utilized for a barrier layer, it can be considered that the channel formation field is filling the following composition.

1) a carrier moves -- a genuineness field (needlelike or interior of a columnar crystal) exists substantially (for a carrier)

2) Or it suppresses movement of a carrier, the impurity range (oxide field) which eases the electric field built in the direction of a channel (direction to which between a source-drain is connected) exists.

0181] Therefore, if it puts in another way, it will be thought that TFT of the outstanding property as this invention shows by considering as the composition with which the two above-mentioned composition is filled and which has the impurity range locally formed with the genuineness channel formation field substantially for a carrier can be produced.

0182] Although the above composition mixes some guesses and there is then, it is drawn from this invention persons' experimental data. then, this invention persons -- this composition -- artificial -- ***** -- it was expected whether the same effect could be acquired by things

0183] Consequently, this invention persons came to propose composition effective for suppression of a short channel effect. Here, the outline is indicated below. In addition, the consideration indicated below stops at the range of guessed in the present condition.

0184] A short channel effect poses a problem as detailed-ization of device elements (MOSFET, TFT, etc.) generally progresses and channel length becomes short. Short channel effects are general terms, such as degradation of the pressure-proofing accompanying the fall of threshold voltage, and a punch-through phenomenon, and degradation of a sub threshold level property.

0185] The punch-through phenomenon which poses especially a problem is a phenomenon in which current flows between the source/drain also in the state where the diffusion potential by the side of the source is influenced by the electric field by the side of a drain, and falls, and a channel is not formed. That is, drain electric field affect a source side because the depletion layer by the side of a drain spreads even to a source field.

0186] Then, this invention persons observe the effect of the grain boundary (oxide field) of this invention, and channel length is 0.01-2. In the short channel TFT which is man-

rade, it is preparing an impurity range artificially and locally to a channel formation field, and it was surmised that the effect which suppresses the breadth of the depletion layer by the side of a drain was acquired.

0187] It is thought that such composition can be attained by considering as composition s shows a barrier layer to drawing 8. In drawing 8 (A), as for a source field and 802, 01 is [a drain field and 803] channel formation fields, and an impurity range 804 is artificially formed into the channel formation field 803. Moreover, among the channel formation field 803, fields 805 other than impurity-range 804 are genuineness fields substantially, and turn into a field where a carrier moves.

0188] The point which is the structure which imitated the crystal structure object of this invention shown in drawing 10 is important for the structure shown in drawing 8 (A) here. That is, the grain boundary shown by 1001 of drawing 10 is equivalent to the impurity range 804 of drawing 8 (A), and a columnar crystal is equivalent to that drawing 10 is needlelike or the field 805 to which the carrier of drawing 8 (A) moves.

0189] Therefore, the impurity range 804 arranged in the channel formation field 803 forms locally the field where built-in potential (it can also be called an energy barrier) is large in a channel formation field, and can be conjectured to suppress the breadth of a drain side depletion layer effectively by the energy barrier.

0190] Moreover, the cross section which cut drawing 8 (A) by A-A' is shown in drawing 8 (B). 806 is a substrate which has an insulating front face. Moreover, the cross section which cut drawing 8 (A) by B-B' is shown in drawing 8 (C).

0191] In addition, in drawing 8 (C), wpi and n express the width of face of an impurity range 804, and wpa and m express the width of face of the field where a carrier moves. n and m mean that it is the field where wpi and n are the width of face of the n-th impurity range, and the m-th carrier moves [wpa and m] into the channel formation field 803 here.

0192] Moreover, the width of face of wpi, n, and wpa and m needs to fulfill the conditions of a certain range. That is explained below.

0193] In drawing 8 (A), the width of face of the channel formation field 803, i.e., channel width, is W. Here, the width of face which the impurity range 804 occupies among channel width W is defined as Wpi. And it is the width of face of arbitrary impurity ranges Wpi1, Wpi2, and Wpi3 ... Wpi is expressed with the following formula when Wpi and n.

0194]

Equation 1]

$$W_{pi} = \sum_n W_{pi,n}$$

0195] However, since at least one impurity range needs to be formed in fields other than the edge of a channel formation field in order to attain this composition, n must be one or

more integers.

[0196] Moreover, the width of face which the move field 805 of a carrier occupies among channel width W is defined as Wpa. And it is the move field 805 of arbitrary carriers Wpa1, Wpa2, and Wpa3 ... Wpa is expressed with the following formula when Wpa and n.

[0197]

Equation 2]

$$W_{pa} = \sum_m W_{pa,m}$$

[0198] However, since at least one impurity range is formed in fields other than the edge of a channel formation field as mentioned above, a channel formation field must be carried out at least for 2 minutes, and m must be two or more integers.

[0199] That is, the relation which all channel width W calls $W=W_{pi}+W_{pa}$ and $n+m$ calls three or more is realized. And as for the relation between W, Wpi, W and Wpa, and Wpi and Wpa, it is desirable to fulfill the following conditions simultaneously.

$W_{pi}/W=0.1 \sim 0.9$ $W_{pa}/W=0.1 \sim 0.9$ $W_{pi}/W_{pa}=1/9 \sim 9$ [0200] The place which these formulas mean is that W_{pa}/W or W_{pi}/W must not be 0 or 1. For example, in the case of $W_{pa}/W=0$ ($W_{pi}/W=1$ and homonymy), since an impurity range closes a channel formation field completely, movement of a carrier is checked. Conversely, in the case of $W_{pa}/W=1$ ($W_{pi}/W=0$ and homonymy), since an impurity range does not exist in a channel formation field at all, the breadth of a drain side depletion layer cannot be stopped.

[0201] Moreover, the knowledge about several 1 and several 2 plays an important role, when explaining the TFT property looked at by an example 1 and the example 2. That is shown below.

[0202] This invention persons noted the point which is too high. That is, I thought that numeric values would differ with actual mobility and the mobility obtained by measurement.

[0203] This invention persons think that it will be a thing with the value of the surveyed nobility smaller than actual mobility (mobility which TFT of this invention has originally). The reason is in having substituted channel width W of survey for the formula which computes the following mobility in this invention persons' measurement.

[0204]

$\mu_{FE}=1/C_{ox} (\Delta Id/\Delta V_g)$ and $1/V_d \cdot L/W$ -- for Cox, gate oxide-film capacity, and delta Id and delta Vg are [drain voltage, and L and W of the variation of drain current Id and a gate voltage Vg and Vd] channel length and channel width here, respectively

[0205] Electric field effect mobility (micro FE) is in inverse proportion to channel width W so that clearly from this formula. In measurement, it is calculating by substituting for his W as a value the channel width surveyed with the measurement machine.

[0206] However, as explained using several 1 and several 2, in fact, the oxide layer is formed between columnar crystals, it must have by needlelike or the sum which deducts the part, and the efficiency-channel width Wpa must be defined. That is, substituted channel width W is a larger value than the efficiency-channel width Wpa.

[0207] Since it is asking for the mobility with which it was actually calculated by the twist having substituted larger channel width by the above reason, it is thought that mobility will be calculated small seemingly. Therefore, it is 400cm²/Vs in fact by following this invention. It is surmised that TFT which attains the mobility which exceeds is realized. And it can be said that the oscillation frequency exceeding 500MHz as shown in the example 2 just because such mobility was attained is realizable.

[0208] Moreover, it is expected that preparing by arrangement as shows an impurity range to drawing 8 (A) has a very big meaning to improvement in mobility. The reason explained below.

[0209] Mobility (micro FE) Although decided by dispersion of the carrier in a semiconductor film (here, a silicon film is taken for an example), dispersion in a silicon film is divided roughly into lattice scattering and impurity scattering. The high impurity concentration in a silicon film is low, and lattice scattering's is comparatively dominant at elevated temperature, and high impurity concentration of impurity scattering is high, and is comparatively dominant at low temperature. The overall mobility mu in which these influence for each other and are formed is expressed with the following formula.

[0210]

[Equation 5]

$$\mu = \left(\frac{1}{\mu_l} + \frac{1}{\mu_i} \right)^{-1}$$

[0211] The formula shown by this several 5 is mobility mul (l means lattice) when the overall mobility mu is influenced of lattice scattering. Mobility mui at the time of being influenced of the inverse number and impurity scattering (i means impurity) It means that it is in inverse proportion to the sum of the inverse number.

[0212] If a drift field is not so strong in lattice scattering, a acoustic phonon plays an important role here, and it is mobility mul at that time. It is proportional to the -3-/square of temperature like the following formula. Therefore, it will be decided by the effective mass (m^*) and temperature (T) of a carrier.

[0213]

[Equation 6]

$$\mu_l \propto (m^*)^{5/2} T^{-3/2}$$

[0214] Moreover, mobility mui by impurity scattering It is 3/2 of temperature like the following formula. Concentration nickel of the impurity which was proportional to ** and was ionized In inverse proportion. Namely, concentration nickel of the ionized

impurity It can be made to change by adjusting.

0215]

Equation 7]

$$i \propto (m^*)^{1/2} N_i^{-1} T^{3/2}$$

0216] According to these formulas, after the impurity has been uniformly added by the hole channel formation field, mobility cannot be earned in response to the influence of impurity scattering. However, since the impurity range is formed locally in composition of being shown in drawing 8, an impurity is not added by the field to which a carrier moves, but it is genuineness substantially for a carrier.

0217] That is, it is the concentration nickel of the impurity theoretically ionized in several 7. Since it means bringing close to 0 infinite, it is mobility m_{ui} . It will approach infinitely infinite. That is, it sets to several 5 and is $1/m_{ui}$. Since it means decreasing an impurity even to the grade which can disregard a term, the whole mobility m_u is mobility m_{ui} infinite. It is surmised that it approaches.

0218] Moreover, it is important to be arranged so that an impurity range 804 may serve s the direction of a channel and outline parallel in drawing 8 (A). When [for which such arrangement was shown in drawing 10] needlelike or the direction where the grain boundary of a columnar crystal is prolonged, and the direction of a channel are in agreement, it corresponds.

0219] It is surmised that a role like a rail specifies the move direction on a carrier sure nough, without capturing a carrier, since it is expected that an impurity range 804 is served as "the benign grain boundary" when it considers as such arrangement. This is composition very important when reducing the influence of dispersion by the collision of carriers.

0220] Moreover, it is expected that the fall of the threshold voltage which is one of the hort channel effects can also be suppressed by considering as the above composition. This is anticipation based on reasoning that it is possible to cause artificially the narrow channel effect produced when channel width becomes extremely narrow between impurity ranges.

0221] Moreover, although it is thought possible to suppress a punch-through phenomenon by suppressing the breadth of a drain side depletion layer as mentioned above, improvement in a sub threshold level property (S value) can also be desired with improvement in pressure-proofing by suppressing a punch-through phenomenon.

0222] The improvement in a sub threshold level property can be explained as follows from reasoning that the volume which a drain side depletion layer occupies is reducible by using this composition.

0223] If the breadth of a depletion layer is effectively suppressed when it considers as the composition shown by drawing 8 (A), it will be possible to reduce sharply the volume which a drain side depletion layer occupies, and it will be *****. Therefore, since a

synthetic depletion-layer ch ge can be made small, it is thought that a depletion layer capacitance can be made small. Here, the formula which derives S value is expressed with the following formula.

0224]

Equation 3]
 $=d(Vg)/d(\log Id)$

0225] It sets in the graph shown in drawing 4, and this formula is $Id-Vg$. The inverse number of the inclination of the standup portion (gate-voltage 0V neighborhood) of a property is expressed. Moreover, the formula expressed with several 3 can be expressed by the following formula in approximation.

0226]

Equation 4]
 $\approx \ln 10 \cdot kT/q [1 + (Cd + Cit)/Cox]$

0227] Setting to several 4, for a Boltzmann's constant and T, absolute temperature and q are [k] the amount of charges, and Cd. The equivalent capacity of interface level and Cox of a depletion layer capacitance and Cit are gate oxide-film capacity. Therefore, by this composition, it is a depletion layer capacitance Cd. Since it becomes sufficiently smaller than before, it is S value 85 mV/decade. It can consider as the following small values, namely, the outstanding sub threshold level property can be acquired.

0228] Moreover, depletion layer capacitance Cd. The ideal state set to Cd =Cit=0 by eaching and bringing the equivalent capacity Cit of interface level close to 0 as much as possible, i.e., S value, is 60 mV/decade. The becoming semiconductor device may be realizable.

0229] By the way, although the grain boundary of a columnar crystal consists of oxides, with this composition guessed from there, you may use nitrogen and carbon in addition to oxygen as that this invention is needlelike or an impurity range equivalent to the grain boundary of this invention. This is because it is in the purpose of this composition arranging an energy barrier artificially to a channel formation field.

0230] Therefore, if it thinks from a viewpoint of forming an energy barrier, it can be said that there is also an impurity range with a conductivity type contrary to the conductivity type of an inversion layer about an effect. That is, if it is an N channel type semiconductor device and is a P channel type H semiconductor device about B ion, it can be said that what is necessary is just to form an impurity range using P ion.

[0231] Moreover, when it constitutes an impurity range from P or B ion, it is also possible to perform threshold control directly by the concentration of the impurity ion to add.

[0232] As mentioned above, this composition is the technology drawn by the guess of this invention persons based on the composition and the experiment fact of invention

which are indicated on these specifications. It is surmised that the short channel effect from which channel length poses a problem with the semiconductor device of a very short deep submicron field can be effectively suppressed by carrying out this composition.

[0233] [Example 3] this example shows the example which forms the crystalline silicon film shown in the example 1 on a silicon wafer. In this case, although it is necessary to prepare an insulating layer in a silicon wafer front face, a thermal oxidation film is usually used in many cases.

[0234] The temperature requirement of heat treatment has common 700-1300 degrees C, and the processing time changes with desired oxidization thickness.

[0235] Moreover, thermal oxidation of a silicon wafer is usually performed in atmosphere, such as O₂, O₂-H₂O, H₂O, and O₂-H₂ combustion. HCl and Cl₂ etc. -- oxidization in the atmosphere which added the halogen is also put in practical use widely moreover,]

[0236] A silicon wafer is one of the bases indispensable to semiconductor devices, such as IC, and the technology which forms various semiconductor devices on a wafer is produced.

[0237] According to this example, the crystalline silicon film equipped with the crystallinity which is equal to a single crystal can be combined with the technology using the conventional silicon wafer, and the application range of a crystalline silicon film can be expanded further.

[0238] Moreover, it is also possible to constitute the integration circuit which formed TFT on IC on a silicon wafer, and has arranged the semiconductor device in three dimensions.

[0239] [Example 4] this example explains the example which applied TFT which applied and produced this invention to DRAM (Dynamic Random Access Memory). Suppose that drawing 13 is used for explanation.

[0240] DRAM is the memory of the form stored in a capacitor by making the information to memorize into a charge. Receipts and payments of the charge as information on a capacitor are controlled by TFT connected to the capacitor in series. The circuit of TFT which constitutes one memory cell of DRAM, and a capacitor is shown in drawing 13 (A).

[0241] If a gate signal can be given by the word line 1301, TFT shown by 1303 will be switch-on. A charge is charged by the capacitor 1304 from a bit line 1302 side in this state, information is read, or a charge is taken out from the charged capacitor and information is read.

[0242] The cross-section structure of DRAM is shown in drawing 13 (B). The base which becomes by the quartz substrate or the silicon substrate is shown by 1305.

[0243] On the above-mentioned base 1305, the oxidization silicon film 1306 is formed as a ground film, and TFT adapting this invention is produced on it. In addition, if a base

[305] is a silicon substrate, a thermal oxidation film can also be used as a ground film [306]. Moreover, 1307 is the barrier layer formed according to the example 1.

[0244] A barrier layer 1307 is covered by the gate insulator layer 1308, and the gate electrode 1309 is formed on it. And after the laminating of the layer insulation film 1310 is carried out on it, the source electrode 1311 is formed. The electrode shown by bit line 1302 and 1312 simultaneously with formation of this source electrode 1311 is formed. Moreover, 1313 is a protective coat which becomes by the insulator layer.

[0245] This electrode 1312 maintains fixed potential and forms a capacitor 1304 between the drain fields of the barrier layer which exists caudad. That is, it will have a function as a storage element by writing in the charge accumulated at this capacitor by TFT, or reading it.

[0246] The feature of DRAM is suitable for constituting the large-scale memory of high accumulation density, since there are very few element numbers which constitute one memory only by TFT and the capacitor. Moreover, since a price is also held down low, it is used present in large quantities.

[0247] Moreover, since a storage capacitance can be small set up as a feature at the time of forming a DRAM cell using TFT, operation by the low battery can be enabled.

[0248] [Example 5] this example explains the example which applied TFT which applied and produced this invention to SRAM (Static Random Access Memory). Suppose that drawing 14 is used for explanation.

[0249] SRAM is the memory which used bistable circuits, such as a flip-flop, for the storage element, and memorizes a binary information value (0 or 1) corresponding to two stable states of ON-OFF of a bistable circuit, or OFF-ON. As long as there is supply of a power supply, it is advantageous at the point that storage is held.

[0250] A store circuit consists of an N-MOS and an C-MOS. The circuit of SRAM shown in drawing 14 (A) is a circuit which used high resistance for the passive load element.

[0251] A word line is shown by 1401 and 1402 is a bit line. 1403 is a load element which consists of high resistance, and SRAM consists of 2 sets of access transistors as indicated to be 2 sets of driver transistors as shown by 1404 by 1405.

[0252] The cross-section structure of TFT is shown in drawing 14 (B). The oxidization silicon film 1407 can be formed as a ground film on the base 1406 which becomes by the quartz substrate or the silicon substrate, and TFT which applied this invention on it can be produced. 1408 is the barrier layer formed according to the example 1.

[0253] A barrier layer 1408 is covered by the gate insulator layer 1409, and the gate electrode 1410 is formed on it. And after the laminating of the layer insulation film 1411 is carried out on it, the source electrode 1412 is formed. A bit line 1402 and the drain electrode 1413 are formed simultaneously with formation of this source electrode 1412.

[0254] On it, the laminating of the layer insulation film 1414 is carried out again, and, next, the polysilicon contest film 1415 is formed as a high resistance load. In addition, it is also possible to take the SRAM structure of substituting TFT for the same function as

high resistance load. Moreover, 1416 is a protective coat which becomes by the insulator layer.

[0255] The feature of SRAM which becomes with the above composition is that high-speed operation is possible and the lump by the system to construct is [it is reliable and easy etc.

[0256] [Example 6] The example which constitutes the active-matrix type electro-optics equipment which integrated the pixel matrix circuit and the logical circuit on the same base using the semiconductor device of an example 1 and the CMOS circuit of an example 2 from this example is shown. As electro-optics equipment, a liquid crystal display, EL display, EC display, etc. are contained.

[0257] In addition, a logical circuit points out the integration circuit for driving electro-optics equipment like a circumference drive circuit or a control circuit. In active-matrix type electro-optics equipment, although there were also a limitation of a performance of operation and a problem of a degree of integration and external IC of the logical circuit was common, it becomes possible to unify all on the same substrate by using TFT of this invention.

[0258] Moreover, with a control circuit, all electrical circuits required to drive electro-optics equipments, such as a processor circuit, a memory circuit, a clock generation circuit, and a A/D (D/A) converter circuit, shall be included. Of course, the SRAM circuit and DRAM circuit which were shown in the examples 5 and 6 are included in a memory circuit.

[0259] If invention indicated on these specifications is used for such composition, it can have by TFT which has the performance which is equal to MOSFET formed on the single crystal, and a logical circuit can be constituted.

[0260] [Example 7] this example shows the example which produces TFT of different structure from an example 1. Drawing 15 is used for explanation.

[0261] First, the state which shows in drawing 2 (A) through the same process as an example 1 is acquired. If the state which shows in drawing 2 (A) is acquired, the resist mask which was used for patterning of an aluminum film and which is not illustrated will be removed, anodizing will be performed in a tartaric acid after that, and an oxide film on anode with the precise thickness of 1000A will be obtained. This state is shown in drawing 15 (A).

[0262] As for 101, in drawing 15 (A), a quartz substrate and 102 are thermal oxidation films on which a ground film and 110 function on an island-like semiconductor layer, an 111 functions as a gate insulator layer later. Moreover, the gate electrode which becomes with the material to which 1501 makes aluminum a principal component, and 1502 are the precise oxide films on anode which anodized the gate electrode 1501 and were obtained.

[0263] Next, the impurity ion which gives 1 conductivity to the island-like semiconductor layer 110 in this state is poured in. And impurity ranges 1503 and 1504 are formed of thi

on-implantation process.

[0264] Moreover, if this impurity ion is N channel type TFT, if it is P channel type TFT, it should just perform P (Lynn) or As (arsenic) using B (boron). this time -- dose 0.1 - 5×10^{14} atoms/cm² -- desirable -- 0.2 - 1×10^{14} atoms/cm² ** -- it considers as the low value to say

[0265] When pouring of impurity ion is completed, it is about a silicon nitride film 1505 0.5-1 Membranes are formed in the thickness of mum. The membrane formation method may be any of reduced pressure heat CVD, a plasma CVD method, and a spatter.

Moreover, you may use an oxidization silicon film in addition to a silicon nitride film.

[0266] In this way, the state of drawing 15 (B) is acquired. If the state of drawing 15 (B) is acquired, next, it will ***** by the etchback method and will leave a silicon nitride film 1505 only to the side attachment wall of the gate electrode 1501. In this way the left-behind silicon nitride film functions as a sidewall 1506.

[0267] Under the present circumstances, the thermal oxidation film 111 remains in the state where it is removed except the field where the gate electrode became a mask, and is shown in drawing 15 (C).

[0268] Impurity ion is again poured in in the state which shows in drawing 15 (C). this time -- dose 0.2 - 10×10^{15} atoms/cm² -- desirable -- 1 - 2×10^{15} atoms/cm² Suppose that it is higher than the dose of a previous ion implantation.

[0269] Since, as for the fields [directly under] 1507 and 1508 of a sidewall 1506, an ion implantation is not performed in the case of this ion implantation, it is changeless to the concentration of impurity ion. However, the impurity ion of further high concentration [fields / which were exposed / 1509 and 1510] will be poured in.

[0270] The low concentration impurity ranges 1507 and 1508 with high impurity concentration lower than the source field 1509, the drain field 1510, and the source / drain field (LDD field) are formed through the 2nd ion implantation as mentioned above. In addition, it is a field [*****] directly under the gate electrode 1501, and it serves as the channel formation field 1511.

[0271] When the state of drawing 15 (C) is acquired through the above process, the titanium film which the thickness of 300 ** does not illustrate is formed, and a titanium film and a silicon (crystalline silicon) film are made to react. And after removing a titanium film, titanium silicide 1512 and 1513 is formed in the front face of the source field 1509 and the drain field 1510 by performing heat-treatment by lamp annealing etc. (Drawing 15 (D))

[0272] The above-mentioned process can also use a tantalum film, a tungsten film, a molybdenum film, etc. instead of a titanium film. Moreover, although drawing 15 (D) has indicated as a part of source / drain field silicide-ized, depending on the conditions of the case where the thickness of the source / drain field is thin, or heat-treatment, the whole source / drain field may silicide-ize.

[0273] Next, an oxidization silicon film is formed in thickness of 5000A as a layer

isulation film 1514, and the source electrode 1515 and the drain electrode 1516 are formed. In this way, TFT of the structure shown in drawing 15 (D) is completed.

0274] Since the source / drain electrode connects with the source / drain field through titanium silicide 1512 and 1513, TFT of the structure shown by this example can realize good ohmic contact.

0275] [Example 8] this example shows the example which produces TFT of different structure from an example 1 or an example 7. Drawing 16 is used for explanation.

0276] First, the state which shows in drawing 2 (A) through the same process as an example 1 is acquired. However, suppose that the crystalline silicon film which gave conductivity as a material of a gate electrode is used in this example. This state is shown in drawing 16 (A).

0277] As for 101, in drawing 16 (A), a quartz substrate and 102 are thermal oxidation films on which a ground film and 110 function on an island-like semiconductor layer, and 11 functions as a gate insulator layer later. Moreover, 1601 is a gate electrode which becomes by the crystalline silicon film (polysilicon contest film).

0278] Next, the impurity ion which gives 1 conductivity to the island-like semiconductor layer 110 in this state is poured in. And impurity ranges 1602 and 1603 are formed of this ion-implantation process. (Drawing 16 (B))

0279] Moreover, if this impurity ion is N channel type TFT, if it is P channel type TFT, it should just perform P (Lynn) or As (arsenic) using B (boron). this time -- dose 0.1 - 5x10¹⁴ atoms/cm² -- desirable -- 0.2 - 1x10¹⁴ atoms/cm² ** -- it considers as the low value to say

0280] If pouring of impurity ion is completed, a sidewall 1604 will be formed using the etchback method like an example 7.

0281] If a sidewall 1604 is formed, impurity ion will be poured in again. this time -- dose 0.2 - 10x10¹⁵ atoms/cm² -- desirable -- 1 - 2x10¹⁵ atoms/cm² Suppose that it is higher than the dose of a previous ion implantation. (Drawing 16 (C))

0282] Since, as for the fields [directly under] 1605 and 1606 of a sidewall 1604, an ion implantation is not performed in the case of this ion implantation, it is changeless to the concentration of impurity ion. However, the impurity ion of further high concentration fields / which were exposed / 1607 and 1608] will be poured in.

0283] The low concentration impurity ranges 1605 and 1606 with high impurity concentration lower than the source field 1607, the drain field 1608, and the source / drain field (LDD field) are formed through the 2nd ion implantation as mentioned above. In addition, it is a field [*****] directly under the gate electrode 1601, and it serves as the channel formation field 1609.

[0284] When the state of drawing 16 (C) is acquired through the above process, the tungsten film which the thickness of 500 ** does not illustrate is formed, and a tungsten film and a silicon film are made to react. And after removing a tungsten film, tungsten silicide 1610-1612 is formed in the front face of the gate electrode 1601, the source field

607, and drain field 1608 by performing heat-treatment by lamp annealing etc.

Drawing 16 (D))

0285] Of course, a titanium film, a molybdenum film, and a tantalum film can be used besides a tungsten film. Moreover, in this example, it adjusts so that the time of heat-treatment may be set up for a long time and the whole source / drain field may silicideize.

0286] Next, a silicon nitride film is formed in thickness of 4000A as a layer insulation film 1613, and the source electrode 1614 and the drain electrode 1615 are formed. In this way, TFT of the structure shown in drawing 16 (D) is completed.

0287] Since a gate electrode, and the source / drain electrode take out through tungsten silicide 1610-1612 and connects with an electrode, TFT of the structure shown by this example can realize a good ohmic contact.

0288] [Example 9] this example shows an example of the electro-optics equipment (display) incorporating the semiconductor device using this invention. In addition, what is necessary is just to use electro-optics equipment with a direct viewing type or a projected type if needed. Moreover, since it is considered the equipment on which electro-optics equipment also functions using a semiconductor, with the electro-optics equipment in this specification, it shall be contained under the category of a semiconductor device.

0289] Moreover, as an application product of the semiconductor device using this invention, a TV camera, a head mount display, car navigation, a projection (there are a front type and a rear mold), a video camera, a personal computer, etc. are mentioned. An easy example of these application use is performed using drawing 17.

0290] Drawing 17 (A) is a TV camera and consists of a main part 3001, the camera section 3002, display 3003, and an operation switch 3004. Display 3003 is used as a viewer.

0291] Drawing 17 (B) is a head mount display, and consists of a main part 3101, display 3102, and the band section 3103. Two things of size with comparatively small display 3102 are used.

0292] Drawing 17 (C) is car navigation and consists of a main part 3201, display 3202, an operation switch 3203, and an antenna 3204. Although display 3202 is used as a monitor, since the displays of a map are the main purposes, the tolerance of resolution can say it as latus comparatively.

0293] Drawing 17 (D) is a Personal Digital Assistant device (this example cellular phone), and consists of a main part 3301, the voice output section 3302, the voice input section 3303, display 3304, an operation button 3305, and an antenna 3306. To display 3303, it is expected that animation display will be required as a TV telephone in the future.

0294] Drawing 17 (E) is a video camera and consists of a main part 3401, display 3402, an eye contacting part 3403, an operation switch 3404, and a tape electrode holder 3405.

Since the photography picture projected on display 3402 can be seen on real time through eye contacting part 3403, the photography of a user while looking at a picture is attained.

[0295] Drawing 17 (D) is a front projection and consists of a main part 3501, the light source 3502, reflected type display 3503, optical system (a beam splitter, a polarizer, etc. are contained) 3504, and a screen 3505. Since a screen 3505 is a big screen used for presentations, such as a meeting and a society announcement, resolution with expensive display 3503 is required.

[0296] Moreover, it is applicable to personal digital assistant devices, such as a rear projection, and a mobile computer, a handy terminal, besides the electro-optics equipment shown in this example. As mentioned above, the application range of this invention is very wide, and applying to the display medium of all fields is possible.

[0297] Moreover, not only electro-optics equipment but TFT of this invention can be used as a drive circuit of an application product as built into an integration circuit in forms, such as SRAM and DRAM, and shown by this example.

[0298] [Effect of the Invention] According to invention indicated on these specifications, TFT with the high performance which is equal to MOSFET produced on single crystal silicon is realizable. Moreover, compared with the ring oscillator which consisted of conventional TFT, 20 times as many high-speed operation as this is possible for the ring oscillator constituted from TFT of this invention.

[0299] Furthermore, in spite of having such a high property, channel length has the very high proof-pressure property also in the detailed field of 1 micrometer or less, and it can check that the short channel effect is suppressed effectively.

[0300] By applying the integration circuit constituted using the above TFT to electro-optics equipment, the further highly efficient-ization of electro-optics equipment is realizable. moreover, the application product adapting electro-optics equipment -- high performance -- high added value can be formed

[Translation done.]

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

**** shows the word which can not be translated.

In the drawings, any words are not translated.

CLAIMS

Claim(s)]

Claim 1] the process which forms the gate insulator layer which becomes by the thermal-oxidation film while carrying out gettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 1nd heat-treatment into the atmosphere characterized by to provide the following -- at east -- having -- the aforementioned barrier layer -- the aforementioned base and an outline -- the production method of the parallel semiconductor device characterized by needlelike or for two or more columnar crystals to gather and to be formed them The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer, and a halogen.

Claim 2] The process which carries out gettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 2nd heat-treatment into the atmosphere characterized by providing the following, The process which removes the thermal oxidation film formed of the 2nd aforementioned heat-treatment, the process which forms in the aforementioned island-like semiconductor layer front face the thermal oxidation film which functions as a gate insulator layer by performing 3rd heat-treatment -- at least -- having -- the aforementioned barrier layer -- the aforementioned base and an outline -- the production method of the parallel semiconductor device characterized by needlelike or for two or more columnar crystals

The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film. The process which forms the mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer, and a halogen.

Claim 3] It is the production method of the semiconductor device characterized by using the membrane formation method of the aforementioned amorphous silicon film or reduced pressure heat CVD in a claim 1 or a claim 2.

Claim 4] The production method of the semiconductor device characterized by using a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au in the claim 1 or the claim 2 as a metallic element which promotes crystallization.

Claim 5] The atmosphere which contains a halogen in a claim 1 or a claim 2 is the production method of the semiconductor device characterized by adding a kind or two or more kinds of gas chosen from the compound which contains HCl, HF, HBr, Cl₂, ClF₃, 3ClI₃, NF₃, F₂, and Br₂ in oxygen atmosphere.

Claim 6] It is the production method of the semiconductor device characterized by performing 1st heat-treatment by the temperature requirement of 450 - 700 **, and performing the 2nd or 3rd heat-treatment by the temperature requirement exceeding 700 ** in a claim 1 or a claim 2.

Claim 7] The barrier layer which becomes by the crystalline silicon film formed on the aforementioned base, and the gate insulator layer formed in the aforementioned barrier-layer front face, It is the insulated-gate type semiconductor device which has a gate electrode on the aforementioned gate insulator layer at least. The metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ It exists with the following average concentration. The semiconductor device to which standard deviation of the S value showing the electrical property of the aforementioned semiconductor device is characterized by fitting in less than 15 mV/dec in less than 10 nV/dec and/or a P channel type with an N channel type.

Claim 8] The barrier layer which becomes by the crystalline silicon film formed on the aforementioned base, and the gate insulator layer formed in the aforementioned barrier-layer front face, It is the insulated-gate type semiconductor device which has a gate electrode on the aforementioned gate insulator layer at least. The metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ It exists

ith the following average concentration. The semiconductor device characterized by settling the S value showing the electrical property of the aforementioned semiconductor device in less than 80**45 mV/dec with an N channel type in less than 80**30 mV/dec and/or a P channel type.

Claim 9] The barrier layer which becomes by the crystalline silicon film formed on the aforementioned base, and the gate insulator layer formed in the aforementioned barrier-layer front face, It becomes with structure with the gate electrode on the aforementioned gate insulator layer at least. The metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ It exists with the following average concentration. And the semiconductor device characterized by for the standard deviation of the S value showing an electrical property having the insulated-gate type semiconductor device settled in less than 15 mV/dec, and consisting of N channel types with less than 10 mV/dec and/or a P channel type.

Claim 10] The barrier layer which becomes by the crystalline silicon film formed on the aforementioned base, and the gate insulator layer formed in the aforementioned barrier-layer front face, It becomes with structure with the gate electrode on the aforementioned gate insulator layer at least. The metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ It exists with the following average concentration. And the semiconductor device characterized by for the S value showing an electrical property having the insulated-gate type semiconductor device settled in less than 80**45 mV/dec, and consisting of N channel types with less than 80**30 mV/dec and/or a P channel type.

Claim 11] It is the semiconductor device characterized by the film surface of the aforementioned gate insulator layer which touches the aforementioned barrier layer at least being a thermal oxidation film in a claim 7 or a claim 10.

Claim 12] while carrying out gettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 2nd heat-treatment into the atmosphere characterized by to provide the following, pass at least the process which forms the gate insulator layer which becomes by the thermal-oxidation film -- it produces -- having -- the aforementioned barrier layer -- the aforementioned base and an outline -- the parallel semiconductor device characterized by needlelike or for two or more columnar crystals to gather and to be formed them The process which forms an amorphous silicon film on the base which has an insulating front face. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer

d a halogen.

Claim 13] The process which carries out gettering removal of the aforementioned metallic element in the aforementioned island-like semiconductor layer by performing 1st heat-treatment into the atmosphere characterized by providing the following, The process which removes the thermal oxidation film formed of the 2nd aforementioned heat-treatment, pass at least the process which forms in the aforementioned island-like semiconductor layer front face the thermal oxidation film which functions as a gate insulator layer by performing 3rd heat-treatment -- it produces -- having -- the aforementioned barrier layer -- the aforementioned base and an outline -- the parallel semiconductor device characterized by needlelike or for two or more columnar crystals gathering and forming them The process which forms an amorphous silicon film on the base which has an insulating front face. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [at least] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the island-like semiconductor layer constituted only from an aforementioned crystalline silicon film by patterning as a next barrier layer, and a halogen.

Claim 14] It is the semiconductor device characterized by performing 1st heat-treatment by the temperature requirement of 450 - 700 **, and performing the 2nd or 3rd heat-treatment by the temperature requirement exceeding 700 ** in a claim 12 or a claim 13.

Claim 15] In a claim 12 or a claim 13, the metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ Semiconductor device characterized by for the standard deviation of the S value which exists with the following average concentration and expresses an electrical property having the insulated-gate type semiconductor device settled in less than 15 mV/dec, and consisting of N channel types with less than 10 mV/dec and/or a P channel type.

Claim 16] In a claim 12 or a claim 13, the metallic element which promotes crystallization in the aforementioned barrier layer 1x10¹⁸ atoms/cm³ Semiconductor device characterized by for the S value which exists with the following average concentration and expresses an electrical property having the insulated-gate type semiconductor device settled in less than 80**45 mV/dec, and consisting of N channel types with less than 80**30 mV/dec and/or a P channel type.

Claim 17] It sets to a claim 7, a claim 13, a claim 15, or a claim 16, and the length of the channel formation field in the aforementioned barrier layer is 0.01-2. Semiconductor device characterized by being mum.

Claim 18] In a claim 7 or a claim 13, a kind or two or more kinds of elements which were chosen from Cl, F, and Br in the aforementioned barrier layer 1x10¹⁵ - 1x10²⁰

atoms/cm³ Semiconductor device characterized by existing by concentration.

Claim 19] It is the semiconductor device which a kind or two or more kinds of elements which were chosen from Cl, F, and Br are contained in the aforementioned barrier layer in a claim 7 or a claim 13, and is characterized by distributing the aforementioned element over high concentration at the interface of the aforementioned barrier layer and the aforementioned gate insulator layer.

Claim 20] The semiconductor device characterized by the metallic element which promotes the aforementioned crystallization being a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au in a claim 7, a claim 10, a claim 12, or a claim 13.

Claim 21] It is the semiconductor device characterized by for the aforementioned crystalline silicon film crystallizing the amorphous silicon film which formed membranes by reduced pressure heat CVD in a claim 7, a claim 10, a claim 12, or a claim 13, and being obtained.

Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125927

(43) 公開日 平成10年(1998)5月15日

(51) Int.Cl.
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78

6 1 3 A
6 1 7 A
6 1 7 V
6 2 7 F
6 2 7 G

審査請求 未請求 請求項の数21 FD (全 29 頁)

(21) 出願番号 特願平8-294419

(22) 出願日 平成8年(1996)10月15日

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 春平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 大谷 久
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

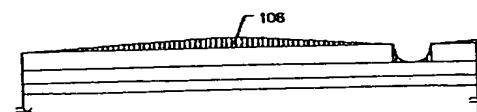
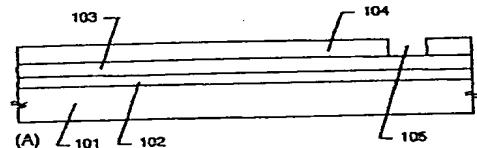
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

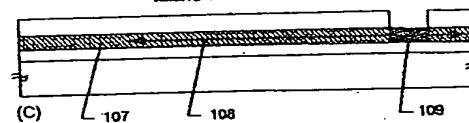
(57) 【要約】

【目的】 MOSFETに匹敵する性能を有した半導体装置を提供する。

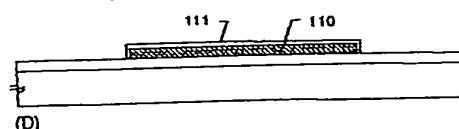
【構成】 結晶化を助長する金属元素を利用して結晶化した結晶性珪素膜105で島状半導体層を形成し、さらにハロゲン元素を含む雰囲気中における加熱処理を行つて前記金属元素のゲッタリング除去を行なう。この処理を経た島状半導体層110は針状または柱状結晶が複数集合した結晶構造体で構成される。この結晶構造体を活性層とした半導体装置は極めて高い性能を有する。



結晶化のための加熱処理



ハロゲン元素を含む雰囲気における加熱処理



(2)

1

【特許請求の範囲】

【請求項1】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、後の活性層として、バターニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去すると共に、熱酸化膜でなるゲイト絶縁膜を形成する工程と、を少なくとも有し、前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とする半導体装置の作製方法。

【請求項2】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、後の活性層として、バターニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去する工程と、前記第2の加熱処理によって形成された熱酸化膜を除去する工程と、第3の加熱処理を行うことにより前記島状半導体層表面にゲイト絶縁膜として機能する熱酸化膜を形成する工程と、を少なくとも有し、前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とする半導体装置の作製方法。

【請求項3】請求項1または請求項2において、前記非晶質珪素膜の成膜方法は減圧熱CVD法によることを特徴とする半導体装置の作製方法。

10

20

30

40

50

2

【請求項4】請求項1または請求項2において、結晶化を助長する金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられることを特徴とする半導体装置の作製方法。

【請求項5】請求項1または請求項2において、ハロゲン元素を含む雰囲気は酸素雰囲気中にHC1、HF、HBr、Cl₂、ClF₃、BCl₃、NF₃、F₂、Br₂を含む化合物から選ばれた一種または複数種類のガスが添加されたものであることを特徴とする半導体装置の作製方法。

【請求項6】請求項1または請求項2において、第1の加熱処理は450～700℃の温度範囲で行われ、第2または第3の加熱処理は700℃を超える温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項7】前記基体上に形成された結晶性珪素膜でなる活性層と、前記活性層表面に形成されたゲイト絶縁膜と、前記ゲイト絶縁膜上のゲート電極と、を少なくとも有する絶縁ゲート型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が1×10¹⁸ atoms/cm³以下の平均濃度で存在し、前記半導体装置の電気特性を表すS値の標準偏差がNチャネル型で10mV/dec以内および/またはPチャネル型で15mV/dec以内に収まることを特徴とする半導体装置。

【請求項8】前記基体上に形成された結晶性珪素膜でなる活性層と、前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲート電極と、を少なくとも有する絶縁ゲート型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が1×10¹⁸ atoms/cm³以下の平均濃度で存在し、前記半導体装置の電気特性を表すS値がNチャネル型で80±30mV/dec以内および/またはPチャネル型で80±45mV/dec以内に収まることを特徴とする半導体装置。

【請求項9】前記基体上に形成された結晶性珪素膜でなる活性層と、前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲート電極と、を少なくとも有した構造であり、前記活性層中には結晶化を助長する金属元素が1×10¹⁸ atoms/cm³以下の平均濃度で存在し、かつ、電気特性を表すS値の標準偏差がNチャネル型で10mV/dec以内および/またはPチャネル型で15mV/dec以内に収まる絶縁ゲート型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項10】前記基体上に形成された結晶性珪素膜でなる活性層と、

(3)

4

3

前記活性層表面に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜上のゲイト電極と、
を少なくとも有した構造であり、
前記活性層中には結晶化を助長する金属元素が 1×10^{18} atoms/cm³ 以下の平均濃度で存在し、かつ、電気特性を表すS値がNチャネル型で80±30mV/dec以内および/またはPチャネル型で80±45mV/dec以内に収まる絶縁ゲイ

ト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項11】請求項7乃至請求項10において、前記ゲイト絶縁膜の少なくとも前記活性層と接する膜面は熱酸化膜であることを特徴とする半導体装置。

【請求項12】絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、

第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、

前記マスク絶縁膜を除去する工程と、

後の活性層として、バーニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、

ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去すると共に熱酸化膜となるゲイト絶縁膜

を形成する工程と、

を少なくとも軽て作製され、

前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とする半導体装置。

【請求項13】絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、

第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、

前記マスク絶縁膜を除去する工程と、

後の活性層として、バーニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、

ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去する工程と、

前記第2の加熱処理によって形成された熱酸化膜を除去する工程と、

第3の加熱処理を行うことにより前記島状半導体層表面にゲイト絶縁膜として機能する熱酸化膜を形成する工程と、

と、

を少なくとも軽て作製され、
前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とする半導体装置。

【請求項14】請求項12または請求項13において、第1の加熱処理は450～700℃の温度範囲で行われ、第2または第3の加熱処理は700℃を超える温度範囲で行われることを特徴とする半導体装置。

10 【請求項15】請求項12または請求項13において、前記活性層中には結晶化を助長する金属元素が 1×10^{18} atoms/cm³ 以下の平均濃度で存在し、かつ、電気特性を表すS値の標準偏差がNチャネル型で10mV/dec以内および/またはPチャネル型で15mV/dec以内に収まる絶縁ゲイ

ト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項16】請求項12または請求項13において、前記活性層中には結晶化を助長する金属元素が 1×10^{18} atoms/cm³ 以下の平均濃度で存在し、かつ、電気特性を表すS値がNチャネル型で80±30mV/dec以内および/またはPチャネル型で80±45mV/dec以内に収まる絶縁ゲイ

ト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項17】請求項7乃至請求項13または請求項15または請求項16において、前記活性層中のチャネル形成領域の長さが0.01～2μmであることを特徴とする半導体装置。

【請求項18】請求項7乃至請求項13において、前記活性層中にはC、F、Brから選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴とする半導体装置。

【請求項19】請求項7乃至請求項13において、前記活性層中にはC、F、Brから選ばれた一種または複数種類の元素が含まれ、

前記元素は前記活性層と前記ゲイト絶縁膜との界面に高濃度に分布することを特徴とする半導体装置。

【請求項20】請求項7乃至請求項10または請求項12または請求項13において、前記結晶化を助長する金属元素とはFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素であることを特徴とする半導体装置。

【請求項21】請求項7乃至請求項10または請求項12または請求項13において、前記結晶性珪素膜は減圧CVD法により成膜した非晶質珪素膜を結晶化して得られることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基体上に形成された半導体薄膜を活性層とする半導体装置に関する。特に、結晶性珪素膜で活性層を構成した薄膜トランジスタに関する。

【0002】

【従来の技術】近年、絶縁表面を有する基体上に形成された半導体薄膜（厚さ数百～数千Å程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（アロセッサ回路やメモリ回路など）等のあらゆる電気回路にTFTを応用する試みがなされている。

【0004】この様なTFTの心臓部ともいべき重要な部分はチャネル形成領域およびチャネル形成領域とソース／ドレイン領域とを接合するジャンクション部分である。即ち、活性層が最もTFTの性能に影響を与えると言える。

【0005】TFTの活性層を構成する半導体薄膜としては、プラズマCVD法や減圧熱CVD法を用いて形成される珪素（シリコン）膜が一般的に利用されている。

【0006】現状においては、非晶質珪素膜（アモルファシリコン膜）を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶性珪素膜（シリコン膜）を利用したTFTが必要とされる。

【0007】基体上に結晶性珪素膜を形成する方法としては、本出願人による特開平6-232059号公報、特開平6-244103号公報に記載された技術が公知である。この公報に記載されている技術は、珪素の結晶化を助長する金属元素（特にニッケル）を利用するにより、500～600°C、4時間程度の加熱処理によって結晶性の優れた結晶性珪素膜を形成することを可能とするものである。

【0008】また、特開平7-321339に記載された技術は上記技術を応用して基体に概略平行な結晶成長を行わすものであり、発明者らは形成された結晶化領域を特に横成長領域（またはラテラル成長領域）と呼んでいる。

【0009】係る技術により形成された結晶性珪素膜は、柱状または針状の結晶がほぼ進行方向を描いた状態で集合した結晶構造体を有するため結晶性に優れているといった特徴がある。そのため、上記公報記載の技術を用いて形成した結晶性珪素膜をTFTの活性層として利用すると、高い動作性能を持つことTFTを作製できることが判っている。

【0010】しかし、この様なTFTを用いて駆動回路を構成してもまだ要求される性能を完全に満たすには及ばない。特に、高速動作と高耐圧特性を同時に実現する極めて高性能な電気特性を要求される高速ロジック回路を、従来のTFTで構成することは不可能なのが現状である。

【0011】

【発明が解決しようとする課題】以上の様に、電気光学装置等の高性能化を図るために単結晶シリコンウエハを用いて形成されたMOSFETに匹敵する性能を有するTFTを実現しなくてはならない。

【0012】そこで本明細書で開示する発明は、電気光学装置のさらなる高性能化を実現するためのブレイクスルーとなる、極めて高性能な薄膜半導体装置およびその作製方法を提供することを課題とする。

【0013】

【課題を解決するための手段】従来の方法では上述の様な高性能なTFTを得ることができなかった理由として、針状または柱状結晶の結晶粒界（本明細書における結晶粒界とは、断りがない限り針状または柱状結晶間の境界を指す）においてキャリア（電子または正孔）が捕獲がされ、TFT特性を示すパラメータの一つである電界効果移動度の向上が妨げられていたと考えられる。

【0014】例えば、結晶粒界にはシリコン原子の不対結合手（ダンギングボンド）や欠陥（捕獲）準位が多数存在している。また、結晶化の際に結晶化を助長する金属元素を利用すると、結晶粒界に金属元素が偏析することが判っている。

【0015】従って、個々の針状または柱状結晶の内部を移動するキャリアは結晶粒界に接近もしくは接触すると容易に不対結合手や欠陥準位等にトラップされてしまうため、結晶粒界はキャリアの移動を阻害する「悪性の結晶粒界」として振る舞っていたと考えられる。

【0016】本発明の半導体装置を実現するには、この様な「悪性の結晶粒界」を構造変化させ、キャリアにとつて「良性の結晶粒界」に変成させるための技術が不可欠である。即ち、少なくともキャリアを捕獲する確率が小さく、キャリアの移動を妨げる可能性の小さい結晶粒界を形成することが重要であると言える。

【0017】そのために本明細書で開示する発明の構成は、半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、後の活性層として、パターニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、ハロゲン元素を含む雰囲気中ににおいて第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去すると共に、熱酸化膜でなるゲート絶縁膜を形成する工程と、を少なくとも有し、前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とす

る。

【0018】また、他の発明の構成は、半導体薄膜である活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、後の活性層として、パターニングにより前記結晶性珪素膜のみで構成される島状半導体層を形成する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記島状半導体層中の前記金属元素をゲッタリング除去する工程と、前記第2の加熱処理によって形成された熱酸化膜を除去する工程と、第3の加熱処理を行うことにより前記島状半導体層表面にゲート絶縁膜として機能する熱酸化膜を形成する工程と、を少なくとも有し、前記活性層は前記基体と概略平行な針状または柱状結晶が複数集合して形成されることを特徴とする。

【0019】以上の構成に従った作製方法で結晶性珪素膜を形成すると、図9に示す様な外観の薄膜が得られる。図9は非晶質珪素膜の結晶化手段として特開平7-321339号公報記載の技術を用いて本発明を実施した場合の拡大顕微鏡写真であり、長さ数百μmにも及ぶ横成長領域901が形成される。

【0020】なお、この横成長領域901は針状または柱状結晶が結晶化を助長する金属元素を添加した領域（902で示される）に対してほぼ垂直に、かつ、互いに概略平行に結晶成長していくため、結晶方向が揃っているという特徴がある。また、903で示されるのは向かい合った添加領域902から延びてきた針状または柱状結晶がぶつかり合って形成された巨視的な結晶粒界（針状または柱状結晶間の結晶粒界とは区別する）である。

【0021】さらに、図9に示す横成長領域の内部に着目して、結晶粒内部を25万倍にまで拡大したTEM写真が図10（A）である。また、図14（A）の構造を模式的に表したのが図14（B）である。

【0022】即ち、本発明の結晶性珪素膜は巨視的には図9の様に大きな横成長領域901で構成される様に見えるが、実は横成長領域901を微視的に観察すると、図10（B）に示す様に針状または柱状結晶1001が複数集合して構成される様な結晶構造体となっている。

【0023】また、図10（B）において1002で示されるのが針状または柱状結晶同士の境界を示す結晶粒界であり、結晶粒界1002の延びる方向から、針状または柱状結晶1001が互いに概略平行な方向に結晶成長したことが確認できる。

【0024】また、本発明の半導体装置は、ハロゲン元

素を含む雰囲気による加熱処理によって結晶化を助長する金属元素（本明細書ではニッケルを主例とする）がゲッタリング除去され、 $1 \times 10^{18} \text{ atoms/cm}^2$ 以上の濃度で残留していたニッケルが $1 \times 10^{18} \text{ atoms/cm}^2$ 以下（好ましくは $1 \times 10^{17} \text{ atoms/cm}^2$ 以下）に低減されていることがSIMS分析（二次イオン質量分析）によって確認されている。

【0025】勿論、汚染等により混入した他の金属元素（Cu、Al等）も同様にゲッタリング除去されていると考えられる。

【0026】また、この時、ニッケルと結合していたシリコン原子はその結合が切れ、多くの不対結合手を形成するが、上記ハロゲン雰囲気中における加熱処理の間に酸素と結合して酸化物（酸化珪素）を形成する。その結果、「悪性の結晶粒界」であった領域には酸化珪素が形成され、実質的に酸化珪素が結晶粒界として機能する構成になると考えられる。

【0027】この様にして形成された結晶粒界1002は、酸化珪素と結晶珪素との界面が格子欠陥を殆ど含まない整合性に優れた状態になると推測される。これは、熱酸化により酸化珪素が形成される過程と、ニッケルの触媒作用によりシリコン原子同士あるいはシリコン原子と酸素原子との再結合が促進される過程との相乗効果によって欠陥の原因となる格子間シリコン原子が消費されるからである。

【0028】即ち、図10において1002で示される結晶粒界は、キャリアを捕獲する様な欠陥が殆どなく、針状または柱状結晶内部を移動するキャリアにとって、単にエネルギー的な障壁としてのみ機能する「良性の結晶粒界」として振る舞うと考えられる。

【0029】また、この様な結晶粒界は優先的に熱酸化反応が進行するので熱酸化膜が他の領域よりも厚く形成される。そのため、熱酸化膜をゲート絶縁膜として利用する際に、結晶粒界近傍に印加されるゲート電圧が見かけ上小さくなることもエネルギー的な障壁になりうると推測される。

【0030】ただし、後述の TFT 特性を考慮すると、結晶粒界1002のエネルギー障壁はキャリアの移動を完全に妨げる程高いものではなく、結晶粒界を越えて移動するキャリアがかなりの確率で存在すると推測される。

【0031】また、この加熱処理を700 °Cを超える（代表的には800 ~ 1100°C）と比較的高い温度で行う場合には針状または柱状結晶の内部に存在する転位や積層欠陥といった結晶欠陥がほぼ消滅してしまう。さらに、残存したシリコン原子の不対結合手は膜中に含まれる水素やハロゲン元素によって終端される。

【0032】従って本発明者らは、以上の様にして得られる図10（A）に示す状態において、複数の針状または柱状結晶の内部の領域を「キャリアにとって実質的に

9
単結晶と見なせる領域」として定義している。

【0033】「キャリアにとって実質的に単結晶と見なせる」とは、キャリアが移動するに際してキャリアの移動を妨げる障壁がないことを意味しており、結晶欠陥や粒界がないこと、エネルギー的に障壁となるボテンシャルバリアが存在しないことなどと言えられる。

【0034】本発明は上記のような構成でなる結晶性珪素膜を利用してTFTに代表される半導体装置の活性層を構成し、駆動回路やロジック回路を構成するに足る高性能な半導体装置を実現するものである。

【0035】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0036】

【実施例】

【実施例1】本実施例では本発明の作製方法に従って形成した結晶性珪素膜を、薄膜トランジスタ(TFT)の活性層として利用した例を示す。図1に示すのはTFTの作製工程の一実施例である。

【0037】なお、本実施例で利用する非晶質珪素膜の結晶化手段は、特開平7-321339号公報に記載された技術である。従って、本実施例ではその概略を記載するに止めるので詳細は前記公報を参照すると良い。

【0038】まず絶縁表面を有する基体101を用意する。本実施例では石英基板上に下地膜として酸化珪素膜102を2000Åの厚さに成膜する。酸化珪素膜102の成膜方法としては減圧熱CVD法、アラズマCVD法、スパッタ法などを用いれば良い。また、TFT作製工程の上限温度が700℃以下である場合には基体101としてガラス基板を用いることも可能である。

【0039】なお、後に非晶質珪素膜を結晶化する際、下地膜が緻密である方が得られる結晶性珪素膜の結晶性が良いことが本発明者らの研究により判っている。また、膜中に $5 \times 10^{17} \sim 2 \times 10^{19} \text{ atoms/cm}^2$ の酸素が含まれると好ましい。膜中に含まれた酸素は後の結晶か助長する金属元素のゲッタリング処理の際に重要な役割を果たす。

【0040】次に、非晶質珪素膜103を750Åの厚さに減圧熱CVD法によって成膜する。成膜ガスとしてはジシラン(Si₂H₆)、トリシラン(Si₃H₈)等を用いれば良い。なお、減圧熱CVD法により成膜した非晶質珪素膜は後の結晶化の際に自然核発生率が小さい。この事は個々の結晶が相互干渉する(ぶつかりあって成長が止まる)割合が減るために、横成長幅を大きくする上で望ましい。

【0041】勿論、非晶質珪素膜103の成膜方法として、アラズマCVD法、スパッタ法等を用いることも可能である。

【0042】次に、500～1200Åの厚さの酸化珪素膜104をアラズマCVD法またはスパッタ法により成膜

し、後に結晶化を助長する金属元素を導入する領域のみを選択的にエッチング除去する。即ち、この酸化珪素膜104は非晶質珪素膜103に対してニッケルを選択的に導入するためのマスク絶縁膜として機能する。

【0043】酸化珪素膜104によって露呈される領域105は、紙面に垂直な方向に長手方向を有するスリット状に形成されている。(図1(A))

【0044】次に、酸素雰囲気中においてUV光を照射し、領域105によって露呈した非晶質珪素膜103の表面に極薄い酸化膜(図示せず)を形成する。この酸化膜は、後に結晶化を助長する金属元素を導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。

【0045】なお、結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられるが、本実施例ではNi(ニッケル)を例にとって説明する。

【0046】次に、所定の濃度(本実施例では重量換算で10ppm)でニッケルを含有したニッケル硝酸塩溶液(またはニッケル酢酸塩溶液)を滴下し、スピンドルコート法によりニッケルを含有した薄い水膜106を形成する。非晶質珪素膜中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。(図1(B))

【0047】次に、不活性雰囲気中において450℃、1時間程度の水素出しを行った後、500～700℃、代表的には550～600℃の温度で4～8時間の加熱処理(第1の加熱処理)を加えて非晶質珪素膜103の結晶化を行う。こうして結晶性珪素膜107が得られる。(図1(C))

【0048】この時、結晶成長は針状または柱状結晶が基板に概略平行な方向に進行する。本実施例の場合は、105で示される領域が図面の手前方向から奥手方向に長手方向を有するスリット状となっているので、矢印108で示されるように結晶成長は概略一方向に向かって進行する。この時、結晶成長は数百μm以上に渡って行わざことができる。

【0049】なお、109で示されるのはニッケル添加領域であり、横成長領域107に比べて高い濃度でニッケルを含有している。添加領域109は結晶核が過度に密集して結晶成長するため結晶性はあまり良くない。従って、後に形成する活性層は添加領域109を除いた領域で構成される。

【0050】結晶化の際、水膜106に含有されたニッケルは図示しない酸化膜を通して非晶質珪素膜103中に拡散し、結晶化を促進する触媒として機能する。具体的にはニッケルとシリコンとが反応してシリサイドを形成し、それが結晶核となって結晶化が進行する。

【0051】この時、結晶成長は結晶核が発生した領域

11

から針状または柱状の結晶が基板に概略平行な方向に伸びて進行する。この際、加熱処理の温度が600°Cを超えるとニッケルの触媒作用と無関係に自然核発生が生じてしまう。するとニッケルシリサイドを結晶核とする針状または柱状結晶の結晶成長が阻害され、結晶成長の成長幅が短くなるため好ましくない。従って、自然核発生が少なく、導入したニッケルのみによって結晶核が発生する様な条件とすることが望ましい。

【0052】次に、結晶化のための加熱処理が終了したら、ニッケルを選択的に添加するためのマスク絶縁膜となつた酸化珪素膜104を除去する。この工程はバッファードフッ酸等により容易に行なわれる。

【0053】なお、後のハロゲン元素を含む雰囲気中の加熱処理の前および/または後に結晶性珪素膜105に対してエキシマレーザーによるレーザーアニールを施しても構わない。ただし、レーザー照射により結晶性珪素膜の結晶性は改善しうるが、珪素膜表面に凹凸が形成されやすいので注意が必要である。

【0054】次に、得られた結晶性珪素膜107をバターニングして島状半導体層110を形成する。島状半導体層110は後にTFTの活性層として機能する。なお、本発明では島状半導体層の配置が重要である。その事については後述する。

【0055】また、本実施例では島状半導体層116を形成した後に次のハロゲン元素を含む雰囲気中の加熱処理を行なうが、逆に島状半導体層を形成する前にハロゲン元素を含む雰囲気中の加熱処理を行なっても構わない。

【0056】しかし、結晶性珪素膜107を島状に加工してからの方が表面積が増すので、効率良くニッケルをゲッタリングする上で好ましい。

【0057】また、島状半導体層110はドライエッチング法で形成されるが、その時島状半導体層のエッジに残留したプラズマダメージがTFTのリーク電流の原因となる恐れがある。本実施例の場合、島状半導体層110のエッジは熱酸化されるのでプラズマダメージの除去も兼ねている。

【0058】次に、上記工程により得られた島状半導体層110に対してハロゲン元素を含む雰囲気において加熱処理（第2の加熱処理）を行う。加熱処理の温度範囲は700°Cを超える温度であり、好ましくは800~1000°C（代表的には950°C）とし、処理時間は1~24時間、代表的には6~12時間とする。

【0059】本実施例では、酸素(O₂)雰囲気に対して塩化水素(HCl)を0.5~10体積%の濃度で含有させた雰囲気中において、950°C、30分の加熱処理を行う。なお、HCl濃度を上記濃度以上とすると、結晶性珪素膜の膜表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0060】そして、この加熱処理により島状半導体層

12

110の表面では約250Åの珪素膜が酸化されて500Åの熱酸化膜111が形成され、島状半導体層110の膜厚は約500Åとなる。

【0061】ゲッタリングのための加熱処理は、その効果を得るために700°C以上の温度で行なうことが重要である。それ以下の温度では膜表面に形成された熱酸化膜がブロッキング層となって十分なゲッタリング効果を得られなくなるからである。

【0062】また、ゲッタリング処理は処理温度、処理雰囲気、処理時間を適宜設定することで様々な条件を設定できる。例えば、処理時間を長くして実効的なゲッタリング時間を長めに設定したい場合、処理温度を下げるか、ハロゲン元素の含有量を減らすことによって達成できる。

【0063】また、本実施例では、島状半導体層110中に含有される（厳密には針状または柱状結晶の結晶粒界に偏析している）ニッケルをハロゲン元素によってゲッタリング除去する目的と、熱酸化膜を形成してそれをゲート絶縁膜として活用する目的との両方を兼ねている。

【0064】勿論、両方の目的を別々に分けて、ゲッタリングのための加熱処理と、熱酸化膜（ゲート絶縁膜）形成のための加熱処理（第3の加熱処理）とを別々に行なうこともできる。

【0065】また、島状半導体層の上に酸化珪素膜であるゲート絶縁膜をプラズマCVD法、減圧熱CVD法、スパッタ法のいずれかの手段によって成膜し、その後、上記ハロゲン元素を含む雰囲気における加熱処理を行なっても良い。

【0066】なお、本実施例ではハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。また、一般にハロゲンの水素化物または有機物（炭水素化物）を用いること也可以ある。

【0067】この工程においては針状または柱状結晶の結晶粒界に偏析したニッケルがハロゲン元素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。

【0068】以上のゲッタリング工程によりニッケルが含まれない又はデバイス特性に影響を与えない程度（1×10¹⁸atoms/cm³以下、好ましくは1×10¹⁷atoms/cm³以下）にまで低減された島状半導体層110が得られることがSIMS分析により確認されている。また、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値でもって定義される。（図1(D)）

【0069】なお、本発明者らの知見では結晶化の助長に利用されたニッケルは針状または柱状結晶の結晶粒界に多く偏析する傾向にあり、針状または柱状結晶の内部には実質的には殆ど含まれないと考えられる。

13

【0070】ところが、現状のS I M S 分析では結晶内部と結晶粒界の両方の情報を拾ってしまうので、本明細書中におけるニッケルの濃度は、厳密には結晶内部と結晶粒界とに含まれるニッケル濃度を平均化した平均濃度を意味する。

【0071】また、ゲッタリング工程を行なった場合、結晶性珪素膜中にはゲッタリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm² の濃度で残存する。その際、結晶性珪素膜と熱酸化膜との間に高濃度に分布する傾向がある。

【0072】なお、上記ゲッタリング工程において除去されたニッケルは結晶化の際に針状または柱状結晶の結晶粒界へと押し出されて偏析したものである。即ち、結晶粒界ではニッケルシリサイドとして存在していたと考えられる。

【0073】ニッケルシリサイドとして存在していたニッケルは塩化ニッケルとなって離脱し、ニッケルとの結合を切られたシリコンの不対結合手は結晶粒界に多く存在する状態となる。

【0074】しかし上記工程は酸化性雰囲気中において、比較的高い温度で行われるため形成された不対結合手は容易に酸素と結合して酸化物（SiO_x で表される酸化珪素）を形成すると考えられる。即ち、本発明者らは上記一連の加熱工程によって、結晶性珪素膜は酸化珪素が結晶粒界として機能する様な結晶構造体となると考えている。

【0075】また、残存した不対結合手は島状半導体層110中に含まれる水素やハロゲン元素によって終端されるか、シリコン同士の再結合によって補償され、さらに、転位や積層欠陥といった結晶欠陥はシリコン原子の再結合や再配列によってほぼ消滅してしまうので、針状または柱状結晶の内部の結晶性も著しく改善されると考えられる。

【0076】従って、島状半導体層110はハロゲン雰囲気での加熱処理によりニッケルがデバイス特性に支障がない程度にまで充分除去され、かつ、島状半導体層110を構成する針状または柱状結晶は著しく結晶性が改善されており、キャリアにとって実質的に単結晶と見なせる領域を有した結晶構造体で構成されている。

【0077】以上の様にして、ゲート絶縁膜（熱酸化膜）111の形成まで終了したら、次にゲート電極を構成するためのアルミニウム膜（図示せず）を2500Åの厚さにスパッタ法でもって成膜する。このアルミニウム膜中には、ヒロックやウィスカーフラッシュのためにスカンジウムを0.2重量%含有させる。

【0078】なお、本実施例ではゲート電極（ゲート線も含む）を構成する材料としてアルミニウムを主成分とする材料を用いているが、他にもタンクスチン、タンタル、モリブデン等を用いることもできる。また、導電性を付与した結晶性珪素膜をゲート電極として活用しても

14

構わない。

【0079】アルミニウム膜を成膜したら、その表面に図示しない極薄い陽極酸化膜を形成する。この陽極酸化膜は、3%の酒石酸を含んだエチレングリコール溶液をアンモニア水で中和したものを電解溶液として用いる。即ち、この電解溶液中において、アルミニウム膜を陽極、白金を陰極として陽極酸化を行う。

【0080】この工程で形成される陽極酸化膜は緻密な膜質を有し、後に形成されるレジストマスクとの密着性を向上させるために機能する。なお、この陽極酸化膜の膜厚は100 Å程度とする。また膜厚は印加電圧によって制御することができる。

【0081】次に、図1（D）に示す様にアルミニウム膜をバターニングしてゲート電極の原型となる島状のアルミニウム膜のパターン112を形成する。なおこの際利用したレジストマスク（図示せず）はそのまま残存させておく。（図2（A））

【0082】そして、再びアルミニウム膜のパターン112を陽極とした陽極酸化を行う。ここでは、電解溶液として3%のシュウ酸水溶液を用いる。この陽極酸化工程においては、図示しないレジストマスクが存在するために陽極酸化がアルミニウムのパターン112の側面のみにおいて進行する。従って、図2（B）において113で示されるように陽極酸化膜が形成される。

【0083】またこの工程で形成される陽極酸化膜113は、多孔質状を有しており、その成長距離も数μmまで行わせることができる。この多孔質状の陽極酸化膜113の膜厚は0.7 μmとする。またこの陽極酸化膜113の膜厚は陽極酸化時間によって制御することができる。

【0084】図2（B）に示す多孔質状の陽極酸化膜113を形成したら、図示しないレジストマスクを取り除く。そして、再度の陽極酸化を行うことにより、緻密な陽極酸化膜114を形成する。この陽極酸化工程は、前述の緻密な陽極酸化膜を形成したのと同じ条件で行う。

【0085】ただし、形成する膜厚を900 Åとする。この工程においては、多孔質状の陽極酸化膜113の内部に電解溶液が進入するため図2（B）に示すように陽極酸化膜114が形成される。また、陽極酸化膜114の膜厚を1500Å以上というように厚くすると、後の不純物イオンの注入工程において、オフセットゲート領域を形成することができる。

【0086】また、以上の工程を経てゲート電極115が画定する。緻密な陽極酸化膜114は、後の工程においてゲート電極115の表面を保護したり、ヒロックやウィスカーフラッシュの発生を抑制するために機能する。

【0087】次に、緻密な陽極酸化膜114まで形成したら、この状態においてソース／ドレイン領域を形成するための不純物イオンの注入を行う。Nチャネル型のTFTを作製するならばP（リン）イオンの注入を行い、

Pチャネル型のTFTを作製するならばB(ボロン)イオンの注入を行えば良い。

【0088】この工程において、高濃度に不純物が添加されたソース領域116とドレイン領域117が形成される。

【0089】次に、酢酸とリン酸と硝酸とを混合した混酸を用いて、多孔質状の陽極化膜113を選択的に除去した後に再度Pイオンのイオン注入を行なう。このイオン注入は、先のソース/ドレイン領域を形成する際よりも低ドーズ量でもって行なわれる。(図2(C))

【0090】すると、ソース領域116、ドレイン領域117と比較して不純物濃度の低い、低濃度不純物領域118、119が形成される。そしてゲート電極115直下の120で示される領域が自己整合的にチャネル形成領域となる。

【0091】なお、チャネル形成領域120とドレイン領域117との間に配置された低濃度不純物領域119は特にLDD(ライトドアードレイン領域)領域と呼ばれ、チャネル形成領域120とドレイン領域117との間に形成される高電界を緩和する効果を有する。

【0092】また、チャネル形成領域120(厳密には針状または柱状結晶の内部)は真性または実質的に真性な領域で構成されている。真性または実質的に真性な領域であるとは、活性エネルギーがほぼ1/2(フェルミレベルが禁制帯の中央に位置する)であり、かつ、スピンドensityよりも不純物濃度が低い領域であること、あるいは意図的にPやBといった不純物を添加しないアンドープ領域であることを意味している。

【0093】さらに、上記の不純物イオンの注入工程の後、レーザー光または赤外光または紫外光の照射を行うことによって、イオン注入が行われた領域のアニールを行う。この処理によって、添加イオンの活性化と、イオン注入時に活性層が受けた損傷の回復が行なわれる。

【0094】また、ここでアラズマ水素化処理を300～350°Cの温度範囲で0.5～1時間行なうと効果的である。この工程は活性層からの水素脱離によって生成した不純結合を再び水素終端するものである。この工程を行なうと活性層中には $1 \times 10^{21} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で水素が添加される。

【0095】こうして図2(C)に示す状態が得られたら、次に層間絶縁膜121成膜する。層間絶縁膜121は、酸化珪素膜、または窒化珪素膜、または酸化窒化珪素膜、または有機性樹脂膜、またはそれらの膜の積層膜もって構成される。(図2(D))

【0096】窒化珪素膜を用いると、前工程で添加した水素がデバイス外部へ再放出するのを防ぐことが出来るので好ましい。

【0097】また、有機性樹脂膜であるポリイミドを用いると、比誘電率が小さいので上下配線間の寄生容量を

低減することができる。また、スピンドロト法で形成できるので容易に膜厚を稼ぐことができ、スループットの向上が図れる。

【0098】次に、層間絶縁膜121コンタクトホールの形成を行い、ソース電極122とドレイン電極123とを形成する。さらに350°Cの水素雰囲気中において加熱処理を行うことにより、素子全体の水素化を行い、図2(D)に示すTFTが完成する。

【0099】図2(D)に示すTFTは説明のため最も単純な構造となっているが、本実施例の作製工程手順に多少の変更・追加を加えることで適宜所望のTFT構造とすることは容易である。従えばアクティブマトリクス型表示装置の画素マトリクス回路を構成する画素TFTや、ロジック回路を構成する回路TFT(インバータ回路、シフトレジスタ回路、プロセッサ回路、メモリ回路等)を作製することが可能である。

【0100】ここで、前述の様に島状半導体層110を形成する際に、その配置が重要な理由について説明する。説明は図3を用いて行なう。

【0101】本実施例を実施した場合、針状または柱状結晶が互いに概略平行に成長するため、結晶粒界が一方に向かって伸びているという特徴がある。また、結晶化を助長する金属元素を選択的に添加することで、針状または柱状結晶が結晶成長する方向を自由に制御することが可能である。この事は非常に重要な意味を持っている。

【0102】ここで絶縁表面を有する基板上に島状半導体層を形成した一実施例を図3に示す。図3に示すのは、アクティブマトリクス型液晶表示装置を作製するにあたって基板301上にマトリクス状に配置された島状半導体層である。

【0103】なお、302の破線で示される領域はニッケルを選択的に導入するための領域が存在した場所である。また、303は横成長領域が互いにぶつかり合って形成された巨視的な粒界が存在した場所である。これらは島状半導体層を形成した後では確認できないため点線で示すこととする。

【0104】また、本実施例で示した手段で結晶化を行なう場合、針状または柱状結晶はニッケル添加領域302に対して概略垂直な方向(図中において矢印で示される方向)に成長する。

【0105】従って、図3の様に島状半導体304を配置することで、チャネル方向と、針状または柱状結晶の結晶粒界と同じ方向に揃えることができる。しかも、ニッケル添加領域302を基板301の端から端まで達する様に設計することで、基板全面において前述の様な構成を実現することが可能である。

【0106】この様な構成とすると、チャネル方向と針状または柱状結晶の並ぶ方向とが一致することになる。換言すればチャネル方向と、針状または柱状結晶の内部を移動するキャリアの移動方向とが一致することに他な

らない。

【0107】即ち、TFTの活性層として機能する際に、チャネル形成領域においてキャリアの移動を妨げるエネルギー障壁が極めて少ないと意味しており、動作速度のさらなる向上が期待できるのである。

【0108】従って、本実施例に示したTFTは、針状または柱状結晶の延びる方向とチャネル方向とが一致する様な構成とすることで、非常に高速な動作を実現することができる。

【0109】ここで、本実施例に従って本発明者らが作製した図2(D)に示される半導体装置の電気特性を図4に示す。図4(A)はNチャネル型TFTの電気特性(Id-Vg特性)、図4(B)はPチャネル型TFTの電気特性を示している。なお、Id-Vg特性を示すグラフは10点分の測定結果をまとめて表示する。

【0110】横軸のVGはゲート電圧値、縦軸のIDはソース/ドレン間を流れる電流値である。また、401、403で示されるId-Vg特性(Id-Vg曲線)はドレイン電圧VD=1Vの時の特性を示し、402、404で示されるId-Vg特性はドレン電圧VD=5Vの時の特性を示している。また、405、406はドレン電圧VD=1Vの時のリーク電流を示している。

* イン電圧VD=1Vの時の特性を示し、402、404

で示されるId-Vg特性はドレン電圧VD=5Vの時の特性を示している。また、405、406はドレン電圧VD=1Vの時のリーク電流を示している。

【0111】なお、オフ領域(図4(A)では-1V以下、図4(B)では-1V以上)のドレン電流(Ioff)と、オンおよびオフ領域のリーク電流(IG)は、殆どが 1×10^{-13} A(測定下限界)以下であるので、図4(A)、(B)ではノイズと混同されてしまっている。

【0112】ここで、図4(A)、(B)に示される電気特性から求めた、本発明によるTFTの代表的な特性パラメータを表1、表2に示す。なお、表1はNチャネル型TFTの電気特性(任意の20点測定)の結果であり、表2はPチャネル型TFTの電気特性(任意の20点測定)の結果を示している。

【0113】

【表1】

Nチャネル型TFT測定結果 (SingleGate)

測定点	Id _(VG=0V)	Id _(VG=5V)	Id _(VG=-1V)	Id _(VG=-5V)	Ion[mA]	Ion[mA]	Vg[V]	S-value	dFE [cm ² /Vs]		IG _(VG=0V)	IG _(VG=5V)
	(VD=1V)	(VD=5V)	(VD=-1V)	(VD=-5V)	(VG=0V)	(VG=5V)	(VD=3V)	(mV/dec)	(VD=1V)	(VD=-1V)	(VG=3V)	(VG=-5V)
Point 1	68.51	205.80	1.00	3.80	7.84	7.79	0.08	82.66	160.91	226.64	0.20	-0.40
Point 2	72.80	210.05	0.75	3.85	7.90	7.76	0.12	71.10	171.21	246.00	0.10	-0.05
Point 3	74.35	221.85	0.45	2.65	8.22	7.92	0.05	86.92	170.60	246.84	0.15	-0.15
Point 4	62.61	201.70	0.40	2.15	8.19	7.97	-0.13	79.60	141.63	197.88	-0.05	-0.25
Point 5	48.07	151.25	0.40	1.60	8.08	7.98	0.00	95.12	113.99	153.26	0.10	-0.10
Point 6	74.00	221.70	0.30	2.45	8.39	7.96	0.01	84.31	165.85	245.36	-0.10	-0.30
Point 7	55.30	176.60	0.95	2.85	7.77	7.79	0.05	82.10	137.19	175.19	0.10	-0.15
Point 8	69.90	208.05	0.75	4.35	7.97	7.68	0.11	75.08	165.49	232.56	0.25	0.00
Point 9	60.91	184.95	0.25	1.95	8.39	7.98	0.02	93.06	138.68	202.16	0.05	-0.10
Point 10	60.20	189.65	0.50	2.15	8.08	7.85	0.01	76.93	137.96	199.16	0.30	0.00
Point 11	63.43	195.45	0.40	2.40	8.20	7.91	-0.05	78.77	136.48	210.12	0.00	-0.25
Point 12	63.57	193.45	0.45	2.40	8.15	7.91	-0.05	75.78	140.50	207.06	0.10	-0.60
Point 13	68.51	211.45	0.40	2.85	8.23	7.87	0.01	78.82	160.14	222.11	0.40	-0.55
Point 14	66.78	204.05	0.40	2.10	8.22	7.99	-0.02	74.36	148.21	220.03	0.30	-0.50
Point 15	61.30	185.95	0.45	2.95	8.13	7.90	0.05	81.25	157.90	205.02	0.00	-0.45
Point 16	68.70	208.76	0.35	1.90	8.29	8.04	-0.01	71.23	151.01	227.97	0.15	-0.30
Point 17	68.18	211.50	0.40	1.80	8.23	8.07	-0.06	71.10	148.36	223.84	0.30	-0.60
Point 18	63.92	197.50	0.40	1.65	8.20	8.08	-0.10	75.64	142.34	205.02	0.20	-0.35
Point 19	66.07	201.25	0.60	2.70	8.04	7.87	0.17	87.23	167.03	216.19	0.25	-0.40
Point 20	70.37	210.80	0.60	2.95	8.07	8.01	0.02	79.04	162.28	229.81	0.20	-0.30
平均値	65.37	200.01	0.51	2.47	8.19	7.92	0.01	80.06	149.79	214.59	0.15	-0.29
標準偏差σ	6.40	16.87	0.20	0.71	0.16	0.10	0.08	6.78	15.16	23.19	0.13	0.19

【0114】

※ ※ 【表2】

Pチャネル型TFT測定結果 (SingleGate)

測定点	IG_0[V]				IG_2[V]				IG_3[V]				IG_4[V]			
	(VD=1V) (VG=5V)	(VD=3V) (VG=5V)	(VD=1V) (VG=5V)	(VD=3V) (VG=5V)	IG_0[V]	IG_2[V]	IG_3[V]	IG_4[V]	S-value mV/dec	(VD=1V) (VG=5V)						
Point 1	30.07	88.22	9.25	59.25	6.51	6.06	-1.11	88.55	118.32	119.60	0.10	0.00				
Point 2	36.67	86.63	2.60	46.70	7.15	6.27	-0.93	89.24	131.18	137.90	0.05	-0.20				
Point 3	36.60	85.97	2.90	73.25	7.10	6.07	-0.95	98.47	133.57	138.47	0.15	-0.10				
Point 4	36.63	85.27	3.35	53.60	7.04	6.20	-0.98	87.55	137.19	140.00	0.05	-0.20				
Point 5	35.30	79.59	3.25	39.40	7.04	6.31	-1.14	77.57	140.71	142.24	0.10	-0.20				
Point 6	35.72	81.38	2.55	30.45	7.15	6.43	-1.08	73.81	141.07	141.78	0.10	-0.05				
Point 7	34.37	77.74	5.50	73.60	6.80	6.02	-1.10	82.53	136.15	136.94	-0.05	-0.20				
Point 8	40.70	100.42	10.20	107.25	6.60	5.97	-0.77	73.28	131.58	147.90	0.10	0.05				
Point 9	40.70	100.61	4.90	45.00	6.92	6.35	-0.76	75.50	131.83	147.14	0.15	-0.25				
Point 10	32.89	74.66	5.75	132.05	6.76	5.75	-1.10	84.48	127.76	129.80	0.15	0.05				
Point 11	37.07	88.45	4.30	67.45	6.94	6.12	-0.87	76.54	130.05	137.45	0.40	-0.35				
Point 12	30.52	68.83	1.65	37.55	7.27	6.28	-1.15	90.51	120.82	122.15	0.50	-0.30				
Point 13	35.17	78.92	1.35	55.50	7.42	6.15	-1.15	85.88	143.51	143.82	0.40	-0.40				
Point 14	32.07	72.71	1.80	86.40	7.25	6.80	-1.10	86.48	124.39	126.74	0.40	-0.45				
Point 15	33.36	75.57	6.60	120.40	6.70	5.80	-1.10	84.30	131.58	132.85	0.40	-0.35				
Point 16	32.29	75.10	3.50	47.90	6.96	6.20	-1.01	84.93	122.35	124.64	0.25	-0.35				
Point 17	34.26	76.83	4.40	64.35	6.89	6.08	-1.14	83.28	141.58	141.58	0.65	-0.25				
Point 18	31.01	68.91	5.40	253.38	6.76	5.44	-1.18	97.07	123.17	125.46	0.25	-0.50				
Point 19	36.26	86.80	5.80	52.20	6.80	6.22	-0.89	79.86	126.53	134.64	0.40	-0.25				
Point 20	37.60	93.11	2507.90	17345.00	4.18	3.73	-0.80	89.54	125.46	136.94	0.15	-0.30				
平均値	34.96	81.34	129.65	937.03	6.81	5.99	-1.02	84.38	130.90	135.39	0.23	-0.23				
標準偏差	3.00	9.49	559.79	3862.96	0.66	0.58	0.14	6.94	7.98	8.24	0.18	0.16				

【0115】表1、表2において特に注目すべき点は、サブスレッショルド特性（S値、S-value）が60～100mV/decの間に収まる程小さく、移動度（μFE、モビリティ）が150～300cm²/Vsという様に極めて大きいことである。なお、本明細書中において移動度とは電界効果移動度を意味する。

【0116】これらの測定データは従来のTFTでは達成不可能な値であり、まさに本発明によるTFTが単結晶上に作製したMOSFETに匹敵する極めて高性能なTFTであることを証明している。

【0117】また同時に、本発明によるTFTは非常に劣化に強いことが繰り返し測定による加速劣化試験によって確認されている。経験的には高速動作するTFTは劣化しやすいという欠点を有しているのだが、本発明によるTFTは劣化もなく、極めて高い耐圧特性を有していることが判明している。

【0118】また、表1、表2には参考として平均値および標準偏差（σ値）も記載する。標準偏差は平均値からの分散（バラツキ）の尺度として用いられる。一般的には測定結果（母集団）が正規分布（ガウシアン分布）に従うとすると、平均値を中心に±1σの内に全体の68.3%、±2σの内に95.4%、±3σの内に99.7%が入ることが知られている。

【0119】例えば、本発明により作製したNチャネル型TFTを100個測定すれば、その内約95個のTFTのS値が60～100mV/dec（Pチャネル型TFTの場合も70～100mV/dec）の範囲に収ることを意味している。

【0120】本発明者らは、本実施例のTFT特性の分散をより正確に評価するため、540個のTFTを測定し、その結果から平均値および標準偏差を求めた。その結果、S値の平均値は80.5mV/dec(n-ch)、80.6mV/dec(p-ch)であり、標準偏差は5.8(n-ch)、11.5(p-ch)であつて

*た。また、移動度(max)の平均値は194.0cm²/Vs(n-c

20 h)、131.8cm²/Vs(p-ch)であり、標準偏差は38.5(n-c

h)、10.2(p-ch)であった。

【0121】即ち、本発明を利用したNチャネル型TFTにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値のσ値が10mV/dec以内、好ましくは5mV/dec以内に収まる。

(2) S値が80±30mV/dec以内、好ましくは80±15mV/dec以内に収まる。

(3) μFEのσ値が40cm²/Vs以内、好ましくは35cm²/Vs以内に収まる。

【0122】また、本発明を利用したPチャネル型TFTにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値のσ値が15mV/dec以内、好ましくは10mV/dec以内に収まる。

(2) S値が80±45mV/dec以内、好ましくは80±30mV/dec以内に収まる。

(3) μFEのσ値が15cm²/Vs以内、好ましくは10cm²/Vs以内に収まる。

40 【0123】以上の様に、本発明によるTFTは極めて優れた電気特性を実現するものであり、これまで単結晶上に作製したMOSFETのみが使用されていた様な複雑なSRAM回路やDRAM回路等、高速動作を必要とするロジック回路を構成することが可能である。

【0124】また、本実施例ではシングルゲート構造のTFTの作製工程例のみを記載しているが、ダブルゲート構造のTFTやそれ以上のゲート電極を有するマルチゲート構造のTFTに対しても適用することができる。

【0125】また、ゲート電極として結晶性珪素膜を用いて逆スタガ型TFTを作製することも可能である。即

ち、本発明は活性層の結晶性を高めることで実現できるものであって、TFT構造は問わずに実施することができる。

【0126】〔本発明で得られる結晶構造体に関する知見〕本発明によって得られる結晶性珪素膜が図10

(A)に示される様な針状または柱状結晶の集合体である結晶構造体であることは既に述べた。ここでは、本発明による結晶構造体と他の方法で形成された結晶構造体との比較を行なう。

【0127】図11に示す写真は、実施例1の手順で非晶質珪素膜の結晶化までを終えた試料のTEM写真である。即ち、ハロゲン元素を含む加熱処理を行なっていない結晶性珪素膜の結晶構造を示している。

【0128】図11において確認できる様に、結晶化直後の針状または柱状結晶の内部には多数の転位欠陥(1101で示される円内)が存在する。しかしながら、図10(A)に示すTEM写真では、その様な転位欠陥は確認されず、きれいな結晶構造となっていることが判る。

【0129】この事は、本発明においてハロゲン元素を含む雰囲気での加熱処理が結晶性の改善に大きく寄与していることの証拠となる。

【0130】また、図12に示す結晶構造体は、非晶質珪素膜の結晶化条件を本発明とは異なるものとした場合の例である。具体的には、窒素雰囲気中で600°C48時間の加熱処理を行うことで非晶質珪素膜を結晶化し、900~1100°C程度の温度で熱酸化処理を施してある。

【0131】以上の様にして形成した結晶性珪素膜は、図12(A)に示す様に個々の結晶粒が大きく、不規則に分布する粒界によって分割された状態となっている。また、図12(A)を模式的に表したもののが図12(B)である。

【0132】図12(B)において、結晶粒1201は不規則な粒界1202によって囲まれた状態となっている。従って、実際に図12(A)に示す結晶構造体をTFTの活性層として利用すると、不規則な粒界1202によって生ずるエネルギー障壁がキャリアの移動を阻害してしまう。

【0133】一方、図10(A)に示す様な結晶構造体は、図10(B)に示す様に、結晶粒界1002がある程度の規則性をもって配列した状態となっている。従って、針状または柱状結晶の内部において、キャリアの移動を阻害するエネルギー障壁はないと考えられる。

【0134】なお、本発明者らが針状または柱状結晶の配列状態を1~5万倍程度の広視野で観察した結果、針状または柱状結晶がジグザグに進行する様な場合があることが確認されている。これは、結晶成長がエネルギー的に安定な方向へ向かうことに起因する現象であり、結晶方向が転換した箇所には一種の粒界が形成されていると推測される。

【0135】しかしながら本発明者らは、針状または柱状結晶の内部に生じうるこの粒界はエネルギー的に不活性な双晶粒界の如きものではないかと推測している。即ち、結晶方向は異なるが、整合性良く連続的に結合した粒界であり、キャリアの移動を妨げる程のエネルギー障壁となるない(実質的に粒界と見なされない)粒界であると考えている。

【0136】以上の様に、通常のプロセスで結晶化した多結晶シリコン(ポリシリコン)膜は、図12(A)に示す様な結晶構造を有し、キャリアの移動を遮る様に不規則な粒界が分布するため、高い移動度を達成することが困難である。

【0137】しかしながら、本発明による結晶性シリコン膜は図10(A)に示す様な結晶構造を有し、結晶粒界が概略一方向に揃っている上、針状または柱状結晶の内部は実質的にエネルギー障壁となる粒界が存在しないと考えられる。即ち、キャリアは何ら阻害されることなく結晶内部を移動することが可能となるので、極めて高い移動度を達成することができる。

【0138】特に、本発明により得られる針状または柱状結晶の注目すべき点は、凹凸や応力等に起因する歪みを避けながら(結晶方向を変えながら)数十~数百μmもの距離を連続的に成長していくと考えられる点である。

【0139】本発明者らの推測が正しければ、本発明による結晶性珪素膜は結晶内部にキャリアトラップとなりうる粒界を形成しないで成長していく、特殊な結晶の集合体で構成される全く新しい結晶構造体であると言える。

【0140】〔実施例2〕本実施例は実施例1で示したTFTでもってCMOS回路を形成する例である。CMOS回路は実施例1で示した様な構造のNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせて構成される。

【0141】本実施例におけるCMOS回路の作製工程の一実施例を図5、図6を用いて説明する。なお、本発明により形成される結晶性珪素膜の応用範囲は広く、CMOS回路を形成する方法は本実施例に限ったものではない。

【0142】まず実施例1に示す作製手順に従って、石英基板501上に酸化珪素膜502を成膜し、その上に結晶性珪素膜(図示せず)を得る。そしてそれをバーニングすることによりNチャネル型TFTの島状半導体層503とPチャネル型TFTの島状半導体層504とを形成する。

【0143】島状半導体層503、504を形成したら、ハロゲン元素を含む雰囲気における加熱処理を行なう。本実施例では処理条件を実施例1と同じものとする。こうして、ゲイト絶縁膜として機能する熱酸化膜505、506が500Åの厚さで形成される。

【0144】なお、ここでは説明を簡単にするために一組のNチャネル型TFTとPチャネル型TFTとを形成する例を示す。実際には同一ガラス基板上に数百以上の単位でNチャネル型TFTとPチャネル型TFTとか形成される。

【0145】次に、後にゲート電極の原型を構成するアルミニウム膜(図示せず)を成膜し、パターニングしてアルミニウム膜のパターン507、508を形成する(パターン形成後もパターニングに使用したレジストマスクは残しておく)。

【0146】このアルミニウム膜は実施例1同様、ヒロックやウィスカーの発生を抑制するためにスカンジウムを0.2 wt重量%含有させる。アルミニウム膜の成膜方法はスパッタ法や電子ビーム蒸着法を用いて行う。

【0147】ヒロックやウィスカーというのは、アルミニウムの異常成長に起因する刺状あるいは針状の突起物のことである。ヒロックやウィスカーの存在は、隣合う配線間や上限間に離間した配線間ににおいてショートやクロストークが発生する原因となる。

【0148】アルミニウム膜以外の材料としてはタンタル、モリブデン等の陽極酸化可能な金属を利用することができます。また、アルミニウム膜の代わりに導電性を付与した珪素膜を用いることも可能である。

【0149】こうして図5(A)の状態が得られる。アルミニウム膜のパターン507、508を形成したら、次に、実施例1と同様の条件でもってアルミニウム膜のパターン507、508の側面に多孔質の陽極酸化膜509、510を形成する。本実施例ではこの多孔質の陽極酸化膜509、510の膜厚を0.7 μmとする。

【0150】さらにに、実施例1と同様の条件でもって緻密で強固な陽極酸化膜511、512の形成を行う。ただし、本実施例ではこの膜厚が700 Åとなる様に到達電圧を調節する。また、この工程によりゲート電極513、514が画定する。こうして図5(B)の様な状態が得られる。

【0151】次に、N型を付与する不純物としてP(リン)イオンを全面にドーピングする。このドーピングは、 $0.2 \sim 5 \times 10^{15} \text{ atoms/cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} \text{ atoms/cm}^2$ という高いドーズ量で行う。ドーピング方法としてはアラズマドーピング法やイオンドーピング法を用いる。

【0152】この図5(C)に示す工程の結果、高濃度にPイオンが注入された領域515～518が形成される。これらの領域は後にソース/ドレイン領域として機能する。(図5(C))

【0153】次に、酢酸、硝酸、リン酸を混合した混酸溶液を用いて多孔質状の陽極酸化膜509と510を除去する。この時、陽極酸化膜509、510の直下に位置した活性層領域は、イオン注入されていないため実質的に真性である。

【0154】次に、図5(D)に示すように再びPイオンの注入を行う。このPイオンの注入は、ドーズ量を $0.1 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、好ましくは $0.2 \sim 1 \times 10^{14} \text{ atoms/cm}^2$ という低い値とする。

【0155】即ち、図5(D)で示す工程で行われるPイオンの注入はそのドーズ量を図5(C)に示す工程において行われたドーズ量に比較して低いものとする。すると、この工程の結果、領域515～518に比較して不純物濃度の低い低濃度不純物領域519～522が形成される。

【0156】図5(D)に示す工程が終了した時点でNチャネル型TFTの活性層が完成する。即ち、Nチャネル型TFTのソース領域515、ドレイン領域516、低濃度不純物領域(またはLDD領域)519、520、チャネル形成領域523が画定する。

【0157】また、特に図示しないが陽極酸化膜511でイオン注入を遮られた領域がチャネル形成領域523と低濃度不純物領域519、520との間に存在する。この領域はオフセット領域と呼ばれ、陽極酸化膜511の膜厚でその距離が決定される。

【0158】オフセット領域はイオン注入されず実質的に真性であるが、ゲート電圧が印加されないためチャネルを形成せず、電界強度を緩和し、劣化を抑制する抵抗成分として機能する。ただし、その距離(オフセット幅)が短い場合、実効的なオフセット領域として機能しない。本実施例ではその幅が700 Åであるのでオフセット領域としては機能しない。

【0159】次に、図6(A)に示すように左側のNチャネル型TFTを覆うレジストマスク524を形成する。そして、図6(A)に示す状態においてP型を付与する不純物としてB(ボロン)イオンの注入を行う。

【0160】ここでは、Bイオンのドーズ量を $0.2 \sim 10 \times 10^{15} \text{ atoms/cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} \text{ atoms/cm}^2$ 程度とする。このドーズ量は図5(C)に示すPイオン注入工程におけるドーズ量と同程度またはそれ以上とする。

【0161】この工程により不純物(Pイオン)領域517、518、521、522の導電型は全てN型からP型へと反転し、Pチャネル型TFTのソース領域525、ドレイン領域526が形成される。また、ゲート電極514の直下にはチャネル形成領域527が形成される。

【0162】次に、図6(A)に示す工程の終了後、レジストマスク524を取り除き、基板全面にレーザー光または赤外光や紫外光等の強光を照射する。この工程により添加された不純物イオンの活性化と、不純物イオンが注入された領域の損傷の回復が行なわれる。(図6(B))

【0163】次に、図6(B)に示す状態を得たら、層間絶縁膜528を4000 Åの厚さに成膜する。層間絶縁膜

528は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、有機性樹脂膜のいずれでも良く、多層構造としても良い。これら絶縁膜の成膜方法は、プラズマCVD法、熱CVD法、スピンドル法を用いればよい。

【0164】次にコンタクトホールの形成を行い、Nチャネル型TFTのソース電極529、Pチャネル型TFTのソース電極530を形成する。また、ドレイン電極531はNチャネル型TFTとPチャネル型TFTとで共有する様な構成とすることでCMOS回路が実現される。(図6(C))

【0165】以上の様な過程を経て、図6(C)に示す構造でなるCMOS回路を作製することができる。CMOS回路は最も単純な構成のインバータ回路であり、CMOSインバータ回路を直列に奇数組接続して形成した閉回路はリングオシレータと呼ばれ、半導体装置の動作速度を評価する際に用いられる。

【0166】ここで図7(A)に示す上面写真は、本実施例に従って作製したCMOS回路を組み合わせて構成したリングオシレータ回路である。本発明者らは本発明を利用して実際にアクティブマトリクス型液晶表示装置を試作し、その駆動回路の動作性能をリングオシレータで確認した。

【0167】なお、図7(A)に示すリングオシレータを構成するCMOS回路のゲート電極幅は約 $0.6\text{ }\mu\text{m}$ と細く、チャネル形成領域は通常ならば短チャネル効果が発生する程度にまで微細化されている。

【0168】また、図7(B)には参考としてシフトレジスタ回路の写真を示す。図7(B)に示すシフトレジスタ回路は試作した周辺駆動回路を構成する重要な回路の一つであり、画素領域のアドレスを指定するロジック回路である。特に、水平走査用(ソース側用)シフトレジスタ回路は実動作時に数MHz～数十MHz程度の非常に高い周波数での駆動を要求される。

【0169】リングオシレータ回路の発振周波数は9、19、51組(段)のCMOS回路を接続したリングオシレータで測定した。その結果、電源電圧3～5V、9段のリングオシレータで300MHz以上、中には500MHzを超える発振周波数が得られており、極めて動作速度が速いことが判明した。

【0170】これらの値は従来の作製工程で作製したリングオシレータに比べて20倍近い動作速度を有することを意味している。また、1～5Vの範囲で電源電圧を振っても常に数十～数百MHzの発振周波数を実現している。

【0171】リングオシレータ回路は動作速度を評価するためのテストパターンであり、実際にシフトレジスタ回路やプロセッサ回路といったロジック回路を構成した場合には動作速度が減少するのを避けられない。これはロジック回路自体に様々な付加容量が加わるためである。

【0172】しかし、本発明を利用したCMOS回路はその様な付加容量が加わった状況においても、問題なく高速動作させることができあり、あらゆるロジック回路の要求に応える性能を有している。

【0173】さらに、チャネル長が $0.6\text{ }\mu\text{m}$ と極めて微細化されているにも拘わらず、本実施例に示した様な極めて高速な動作にも耐えうる高い耐圧特性をも有していることは、本発明によるTFTが短チャネル効果に殆ど影響されず、極めて高い信頼性を有していることを意味している。

【0174】【本発明の構成から導かれる推察】実施例1および実施例2で示した様に、本発明に従って作製したTFTは極めて高い性能(高速動作特性、高耐圧特性)を実現している。特に、S値が $60\sim100\text{mV/dec}$ 、電界効果移動度(μFE)が $150\sim300\text{cm}^2/\text{Vs}$ の範囲に収まる(後述するが実際の電界効果移動度はもっと高いと考えられる)など従来のTFTでは到底成しえなかつた事である。

【0175】また、この様な高速動作特性を有しているながら劣化に強いという特徴は、経験的にも特異な現象と言えよう。そこで、本発明者らは本発明によるTFTが何故これほどまで耐劣化性に優れているかを考察し、そこから一つの理論を推察したので以下に記載する。

【0176】TFTの耐圧(ソースードレイン間耐圧)を高めるためにはオフセット領域やLD領域をチャネル形成領域とソース／ドレイン領域との間に設けることが一般的である。しかしながら本発明者らの経験では、その様な構造としても移動度が $150\text{cm}^2/\text{Vs}$ を超えるとかなりの劣化が起こることが判っている。

【0177】そこで本発明者らは、本発明によるTFTの耐圧が高い理由として針状または柱状結晶の結晶粒界の影響を重視した。この結晶粒界はハロゲン元素を含む加熱処理によって結晶化を助長する金属元素が除去されると同時に、シリコン原子の不対結合手が酸素と結合して、酸化物(酸化珪素)で構成されている。

【0178】即ち、本発明者らはチャネル形成領域に局部的に存在する結晶粒界(酸化物領域)がソース領域とドレイン領域の間、特にチャネル形成領域とドレイン領域との間にかかる高電界を効果的に緩和していると推測した。

【0179】具体的には、酸化物領域でなる結晶粒界が特にドレイン領域から広がる空乏層電荷により形成される電界を抑え、ドレイン電圧が高くなつた状態(ドレイン側空乏層電荷が増加した状態)においても、ソース側の拡散電位を変化させない様に機能していると考えたのである。

【0180】以上をまとめると、本発明による結晶性珪素膜を活性層に活用した場合、チャネル形成領域は以下の構成を満たしていると見なせる。

50 (1) キャリアが移動する(キャリアにとって)実質的

に真性な領域（針状または柱状結晶の内部）が存在する。

(2) キャリアの移動を抑制する又はチャネル方向（ソースドレイン間を結ぶ方向）にかかる電界を緩和する不純物領域（酸化物領域）が存在する。

【0181】従って、上記2つの構成を満たす、換言すればキャリアにとって実質的に真性なチャネル形成領域と、局部的に形成された不純物領域とを有する構成とすることで本発明が示す様な優れた特性のTFTを作製しうると考えられる。

【0182】以上の構成は、多少の推測を交えてではあるが、本発明者らの実験データから導かれるものである。そこで、本発明者らはこの構成を人為的に創り出すことで同様の効果を得ることができるのではないかと予想した。

【0183】その結果、本発明者らは短チャネル効果の抑制に効果的な構成を提案するに至った。ここではその概略について、以下に記載する。なお、以下に記載する考察は現状においては推測の範囲に止まるものである。

【0184】一般的にデバイス素子（MOSFET、TFT等）の微細化が進みチャネル長が短くなるにつれて、短チャネル効果が問題となる。短チャネル効果とは、しきい値電圧の低下、パンチスルーハイド特性の劣化およびサブスレッショルド特性の劣化などの総称である。

【0185】特に問題となるパンチスルーハイドはソース側の拡散電位がドレイン側の電界に影響されて低下し、チャネルが形成されない状態でもソース／ドレイン間に電流が流れる現象である。即ち、ドレイン側の空乏層がソース領域にまで広がることで、ドレイン電界がソース側に影響を与えるのである。

【0186】そこで本発明者らは本発明の結晶粒界（酸化物領域）の効果に注目して、チャネル長が0.01～2 μm程度の短チャネルTFTにおいては、チャネル形成領域に対して人為的かつ局部的に不純物領域を設けることで、ドレイン側の空乏層の広がりを抑制する効果が得られると推測した。

【0187】この様な構成は活性層を図8に示す様な構成とすることで達成できると考えられる。図8(A)において、801はソース領域、802はドレイン領域、803はチャネル形成領域であり、チャネル形成領域803の中には人為的に不純物領域804が形成される。また、チャネル形成領域803中、不純物領域804以外の領域805は、実質的に真性な領域であり、キャリアが移動する領域となる。

【0188】ここで図8(A)に示す構造は、図10に示す本発明の結晶構造体を模した構造である点が重要である。即ち、図10の1001で示される結晶粒界は図8(A)の不純物領域804に相当し、図10の針状または柱状結晶は図8(A)のキャリアが移動する領域8

05に相当するのである。

【0189】従って、チャネル形成領域803内に配置された不純物領域804はチャネル形成領域内に局部的にビルトインボテンシャル（エネルギー障壁とも言える）の大きい領域を形成し、そのエネルギー障壁によってドレイン側空乏層の広がりを効果的に抑制すると推測できる。

【0190】また、図8(A)をA-A'で切断した断面図を図8(B)に示す。806は絶縁表面を有する基板である。また、図8(A)をB-B'で切断した断面図を図8(C)に示す。

【0191】なお、図8(C)において $w_{pi,n}$ は不純物領域804の幅を表し、 $w_{pa,m}$ はキャリアが移動する領域の幅を表す。ここでn、mはチャネル形成領域803内において、 $w_{pi,n}$ がn番目の不純物領域の幅であり、 $w_{pa,m}$ がm番目のキャリアが移動する領域であることを意味している。

【0192】また、 $w_{pi,n}$ および $w_{pa,m}$ の幅はある範囲の条件を満たす必要がある。そのことについて以下に説明する。

【0193】図8(A)において、チャネル形成領域803の幅、即ちチャネル幅はWである。ここで、チャネル幅Wの内、不純物領域804が占有している幅を W_{pi} と定義する。そして、任意の不純物領域の幅を $W_{pi,1}$ 、 $W_{pi,2}$ 、 $W_{pi,3} \dots W_{pi,n}$ とすると、 W_{pi} は次式で表される。

【0194】

【数1】

$$W_{pi} = \sum_{n=1}^n w_{pi,n}$$

30

【0195】但し、本構成を達成するためにはチャネル形成領域の端部以外の領域に、不純物領域が少なくとも一つ形成されている必要があるので、nは1以上の整数でなければならない。

【0196】また、チャネル幅Wの内、キャリアの移動領域805が占有している幅を W_{pa} と定義する。そして、任意のキャリアの移動領域805を $W_{pa,1}$ 、 $W_{pa,2}$ 、 $W_{pa,3} \dots W_{pa,m}$ とすると、 W_{pa} は次式で表される。

【0197】

【数2】

$$W_{pa} = \sum_{m=1}^m w_{pa,m}$$

【0198】但し、前述の様にチャネル形成領域の端部以外の領域に不純物領域が少なくとも一つ形成されているので、チャネル形成領域は少なくとも2分されてmは2以上の整数でなければならない。

50 【0199】即ち、全チャネル幅Wは $W = W_{pi} + W_{pa}$ 、

29

かつ、 $n+m$ は3以上という関係が成り立っている。そして、 W と W_{pi} 、 W と W_{pa} および W_{pi} と W_{pa} との関係は、同時に以下の条件を満たすことが望ましい。

$$W_{pi}/W = 0.1 \sim 0.9$$

$$W_{pa}/W = 0.1 \sim 0.9$$

$$W_{pi}/W_{pa} = 1/9 \sim 9$$

【0200】これらの数式の意味するところは、 W_{pa}/W または W_{pi}/W が0または1であってはならないという事である。例えば、 $W_{pa}/W = 0$ ($W_{pi}/W = 1$ と同義) の場合、チャネル形成領域を完全に不純物領域で塞いでしまうのでキャリアの移動が阻害される。逆に $W_{pa}/W = 1$ ($W_{pi}/W = 0$ と同義) の場合、チャネル形成領域に不純物領域が全く存在しないのでドレイン側空乏層の広がりを抑えることができない。

【0201】また、数1、数2に関する知見は実施例1および実施例2に見られるTFT特性を説明する上で重要な役割を果たす。その事について以下に示す。

【0202】本発明者らは実施例1で示した移動度の値に対して実施例2で示したリングオシレータの発振周波数が高すぎる点に注目した。即ち、実際の移動度と測定によって得られた移動度とで数値が異なるのではないかと考えたのである。

【0203】本発明者らは、実測された移動度の値が実際の移動度（元来本発明のTFTが有している移動度）よりも小さいのではないかと考えている。その理由は、本発明者らの測定では以下の様な移動度を算出する式に、実測のチャネル幅 W を代入している事にある。

【0204】

$\mu_{FE} = 1 / Cox (\Delta I_d / \Delta V_g) \cdot 1 / V_d \cdot L / W$

ここで Cox はゲート酸化膜容量、 ΔI_d 、 ΔV_g はそれぞれドレイン電流 I_d とゲート電圧 V_g の変化量、 V_d はドレイン電圧、 L 、 W はそれぞれチャネル長およびチャネル幅である。

【0205】この式から明らかな様に電界効果移動度(μ_{FE})はチャネル幅 W に反比例する。測定ではこの W に値として、測定機で実測したチャネル幅を代入して計算を行なっている。

【0206】しかしながら、数1、数2を用いて説明した様に、実際には針状または柱状結晶の間には酸化物層が形成されており、その分を差し引いた和でもって実効的なチャネル幅 W_{pa} を定義しなくてはならないのである。即ち、代入したチャネル幅 W は実効的なチャネル幅 W_{pa} よりも大きい値である。

【0207】以上の理由により、実際よりも大きめのチャネル幅を代入して計算された移動度を求めていたため、見かけ上移動度が小さく計算されてしまうと考えられるのである。従って、本発明に従うことで実際には $40 \text{ cm}^2/\text{Vs}$ を超える移動度を達成するTFTが実現されると推測される。そして、その様な移動度が達成されているからこそ、実施例2に示した様な 500MHz を超える

30

発振周波数が実現できるのだと言える。

【0208】また、不純物領域を図8(A)に示す様な配置で設けることは移動度の向上に対して非常に大きな意味があると予想される。その理由について以下に説明する。

【0209】移動度(μ_{FE})は半導体膜（ここでは珪素膜を例にとる）中のキャリアの散乱によって決まるが、珪素膜における散乱は格子散乱と不純物散乱とに大別される。格子散乱は珪素膜中の不純物濃度が低く、比較的高温で支配的であり、不純物散乱は不純物濃度が高く、比較的低温で支配的である。これらが影響し合って形成される全体的な移動度 μ は次式で表される。

【0210】

【数5】

$$\mu = (1/\mu_1 + 1/\mu_i)^{-1}$$

【0211】この数5で示される式は、全体的な移動度 μ が、格子散乱の影響を受けた場合の移動度 μ_1 （ $_1$ はlatticeを意味する）の逆数および不純物散乱の影響を受けた場合の移動度 μ_i （ i はimpurityを意味する）の逆数の和に反比例することを意味している。

【0212】ここで、格子散乱ではドリフト電界がそれほど強くなれば音響フォノンが重要な役割を果たし、その時の移動度 μ_1 は、次式の様に温度の $-3/2$ 乗に比例する。従って、キャリアの有効質量(m^*)と温度(T)で決まってしまう。

【0213】

【数6】

$$\mu_1 \propto (m^*)^{-5/2} T^{-3/2}$$

【0214】また、不純物散乱による移動度 μ_i は、次式の様に温度の $3/2$ 乗に比例し、イオン化した不純物の濃度 N_i に逆比例する。即ち、イオン化した不純物の濃度 N_i を調節することで変化させることができる。

【0215】

【数7】

$$\mu_i \propto (N_i)^{-1/2} T^{3/2}$$

【0216】これらの式によると、チャネル形成領域全体に均一に不純物が添加された状態では不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、図8に示す構成の場合、局部的に不純物領域を形成しているので、キャリアが移動する領域には不純物が添加されず、キャリアにとって実質的に真性である。

【0217】即ち、理論的には数7においてイオン化した不純物の濃度 N_i を限りなく0に近づけることを意味するため、移動度 μ_i は限りなく無限大に近づいていくことになる。即ち、数5において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意味するので全体の移動度 μ は限りなく移動度 μ_1 に近づ

50

していくと推測される。

【0218】また、図8(A)において不純物領域804がチャネル方向と概略平行となる様に配置されていることは重要である。この様な配置は、図10に示した針状または柱状結晶の結晶粒界の延びる方向と、チャネル方向とが一致した場合に相当する。

【0219】この様な配置とした場合、不純物領域804は「良性の結晶粒界」として振る舞うと予想されるので、キャリアを捕獲することなく、レールの様な役割を果してキャリアに移動方向を規定すると推測される。このことは、キャリア同士の衝突による散乱の影響を低減する上で非常に重要な構成である。

【0220】また、以上の様な構成とすることで、短チャネル効果の一つであるしきい値電圧の低下も抑制できると予想される。これはチャネル幅が極端に狭くなった時に生じる狭チャネル効果を、不純物領域間で人為的に引き起こすことが可能であるという推論に基づく予想である。

【0221】また、前述の様にドレイン側空乏層の広がりを抑制することでパンチスルー現象を抑制することが可能と考えられるが、パンチスルー現象を抑制することで耐圧の向上と共にサブスレッショルド特性(S値)の向上も望める。

【0222】サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0223】図8(A)で示す構成とした時に、効果的に空乏層の広がりが抑制されるならば、ドレイン側空乏層の占める体積を大幅に減じることが可能ではなはずである。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、S値を導出する式は次式で表される。

【0224】

【数3】

$$S = d(Vg)/d(\log Id)$$

【0225】この式は図4に示すグラフにおいて、Id-Vg特性の立ち上がり部分(ゲート電圧0V付近)の傾きの逆数を表している。また、数3で表される式は近似的に次式の様に表すことができる。

【0226】

【数4】

$$S = \ln 10 \cdot kT/q [1 + (Cd + Cit)/Cox]$$

【0227】数4において、kはボルツマン定数、Tは絶対温度、qは電荷量、Cdは空乏層容量、Citは界面準位の等価容量、Coxはゲート酸化膜容量である。従って、本構成では空乏層容量Cdが従来よりも十分小さくなるので、S値を85mV/decade以下のような値とすることができます、即ち優れたサブスレッショルド特性を得る

ことができるるのである。

【0228】また、空乏層容量Cdおよび界面準位の等価容量Citを0に可能な限り近づけることで、Cd=Cit=0となる理想状態、即ちS値が60mV/decadeとなる半導体装置を実現できる可能性がある。

【0229】ところで、本発明は針状または柱状結晶の結晶粒界が酸化物で構成されているが、そこから推測される本構成では、本発明の結晶粒界に相当する不純物領域として酸素以外に窒素や炭素を用いても良い。これは、本構成の目的がチャネル形成領域に対して人為的にエネルギー障壁を配置することにあるからである。

【0230】従って、エネルギー障壁を形成するという観点から考えれば、反転層の導電型と逆の導電型を持つ不純物領域でも効果があると言えよう。即ち、Nチャネル型半導体装置ならばBイオンを、Pチャネル型H半導体装置ならばPイオンを用いて不純物領域を形成すれば良いと言える。

【0231】また、不純物領域をPまたはBイオンで構成する場合、添加する不純物イオンの濃度で直接的にしきい値制御を行なうことも可能である。

【0232】以上の様に、本構成は本明細書で開示する発明の構成および実験事実とともに本発明者らの推測により導かれた技術である。本構成を実施することで、チャネル長が極めて短いディープサブミクロン領域の半導体装置で問題となる短チャネル効果を効果的に抑制することができると推測される。

【0233】【実施例3】本実施例では、実施例1で示す結晶性珪素膜をシリコンウェハー上に形成する例を示す。この場合、シリコンウェハー表面に絶縁層を設ける必要があるが、通常熱酸化膜を利用することが多い。

【0234】熱処理の温度範囲は700~1300°Cが一般的であり、所望の酸化膜厚によって処理時間は変化する。

【0235】また、シリコンウェハーの熱酸化は通常O₂、O₂-H₂O、H₂O、O₂-H₂燃焼などの雰囲気で行なわれる。また、HC1やC1₂などのハロゲン元素を添加した雰囲気での酸化も広く実用化されている。

【0236】シリコンウェハーはICなどの半導体デバイスに欠かせない基体の一つであり、ウェハー上に様々な半導体素子を形成する技術が生み出されている。

【0237】本実施例によれば、単結晶に匹敵する結晶性を備えた結晶性珪素膜を従来のシリコンウェハーを用いた技術に組み合わせ、結晶性珪素膜の応用範囲をさらに拡大することができる。

【0238】また、シリコンウェハー上のIC上にTFTを形成して三次元的に半導体装置を配置した集積化回路を構成することも可能である。

【0239】【実施例4】本実施例では、本発明を応用して作製したTFTをDRAM(Dynamic Random Access Memory)に応用した例について説明する。説明には図

13を用いることとする。

【0240】DRAMは記憶する情報を電荷としてコンデンサに蓄える形式のメモリである。コンデンサへの情報としての電荷の出し入れは、コンデンサに直列に接続されたTFTによって制御される。DRAMの1個のメモリセルを構成するTFTとコンデンサの回路を図13(A)に示す。

【0241】ワード線1301によってゲート信号を与えられると、1303で示されるTFTは導通状態となる。この状態でビット線1302側からコンデンサ1304に電荷が充電されて情報を読み込んだり、充電したコンデンサから電荷を取り出して情報を読みだしたりする。

【0242】DRAMの断面構造を図13(B)に示す。1305で示されるのは、石英基板もしくはシリコン基板なる基体である。

【0243】上記基体1305上には下地膜として酸化珪素膜1306が成膜され、その上には本発明を応用したTFTが作製される。なお、基体1305がシリコン基板であれば、下地膜1306として熱酸化膜を用いることもできる。また、1307は実施例1に従って形成された活性層である。

【0244】活性層1307はゲート絶縁膜1308で覆われ、その上にはゲート電極1309が形成される。そして、その上に層間絶縁膜1310が積層された後、ソース電極1311が形成される。このソース電極1311の形成と同時にビット線1302および1312で示される電極が形成される。また、1313は絶縁膜である保護膜である。

【0245】この電極1312は固定電位を保ち、その下方に存在する活性層のドレイン領域との間にコンデンサ1304を形成する。即ち、このコンデンサに蓄積された電荷をTFTにより書き込んだり、読み出したりすることで記憶素子としての機能を有することになる。

【0246】DRAMの特徴は1個のメモリを構成する素子数がTFTとコンデンサだけ非常に少ないので、高集積密度の大規模メモリを構成するのに適している。また、価格も低く抑えられるので、現在最も大量に使用されている。

【0247】また、TFTを用いてDRAMセルを形成した場合の特徴として蓄積容量を小さく設定することができるため、低電圧での動作を可能とすることができる。

【0248】(実施例5)本実施例では、本発明を応用して作製したTFTをSRAM(Static Random Access Memory)に応用した例について説明する。説明には図14を用いることとする。

【0249】SRAMはフリップフロップ等の双安定回路を記憶素子に用いたメモリであって、双安定回路のOFF-ONあるいはOFF-ONの2安定状態に対応し

て2進情報値(0または1)を記憶するものである。電源の供給がある限り記憶が保持される点で有利である。

【0250】記憶回路はN-MOSやC-MOSで構成される。図14(A)に示すSRAMの回路は受動負荷素子に高抵抗を用いた回路である。

【0251】1401で示されるのはワード線であり、1402はビット線である。1403は高抵抗で構成される負荷素子であり、1404で示されるような2組のドライバトランジスタと1405で示されるような2組のアクセストランジスタとでSRAMが構成される。

【0252】TFTの断面構造を図14(B)に示す。石英基板もしくはシリコン基板なる基体1406上に下地膜として酸化珪素膜1407を成膜し、その上に本発明を応用したTFTを作製することができる。1408は実施例1に従って形成された活性層である。

【0253】活性層1408はゲート絶縁膜1409で覆われ、その上にはゲート電極1410が形成される。そして、その上に層間絶縁膜1411が積層された後、ソース電極1412が形成される。このソース電極1412の形成と同時にビット線1402およびドレン電極1413が形成される。

【0254】その上には再び層間絶縁膜1414が積層され、次に高抵抗負荷としてポリシリコン膜1415が形成される。なお、高抵抗負荷と同様の機能をTFTで代替するSRAM構造をとることも可能である。また、1416は絶縁膜でなる保護膜である。

【0255】以上のような構成でなるSRAMの特徴は、高速動作が可能で、信頼性が高くシステムへの組み込みが容易なことなどである。

【0256】(実施例6)本実施例では、実施例1の半導体装置および実施例2のCMOS回路を用いて同一基体上に画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス型電気光学装置を構成する例を示す。電気光学装置としては、液晶表示装置、EL表示装置、EC表示装置などが含まれる。

【0257】なお、ロジック回路とは、周辺駆動回路やコントロール回路等の様に電気光学装置を駆動するための集積化回路を指す。アクティブマトリクス型電気光学装置においては、動作性能の限界や集積度の問題もあってロジック回路は外付けICが一般的であったが、本発明のTFTを用いることで同一基板上に全てを一体化することが可能となる。

【0258】また、コントロール回路とはプロセッサ回路、メモリ回路、クロック発生回路、A/D(D/A)コンバータ回路等の電気光学装置を駆動するに必要な全ての電気回路を含むものとする。勿論、メモリ回路には実施例5、6で示したSRAM回路やDRAM回路が含まれる。

【0259】このような構成に本明細書で開示する発明を利用すると、単結晶上に形成したMOSFETに匹敵

する性能を有するTFTでもってロジック回路を構成することができる。

【0260】〔実施例7〕本実施例では実施例1と異なる構造のTFTを作製する例を示す。説明には図15を用いる。

【0261】まず、実施例1と同様の工程を経て図2(A)に示す状態を得る。図2(A)に示す状態を得たら、アルミニウム膜のパターニングに用いた図示しないレジストマスクを除去し、その後、硝酸中で陽極酸化処理を行い、1000Åの厚さの緻密な陽極酸化膜を得る。この状態を図15(A)に示す。

【0262】図15(A)において、101は石英基板、102は下地膜、110は島状半導体層、111は後にゲート絶縁膜として機能する熱酸化膜である。また、1501はアルミニウムを主成分とする材料でなるゲート電極、1502はゲート電極1501を陽極酸化して得られた緻密な陽極酸化膜である。

【0263】次に、この状態で島状半導体層110に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1503、1504が形成される。

【0264】また、この不純物イオンはNチャネル型TFTならばP(リン)またはAs(砒素)を、Pチャネル型TFTならばB(ボロン)を用いて行なえば良い。この時、ドーズ量は $0.1 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、好ましくは $0.2 \sim 1 \times 10^{14} \text{ atoms/cm}^2$ という低い値としておく。

【0265】不純物イオンの注入が終了したら、窒化珪素膜1505を $0.5 \sim 1 \mu\text{m}$ の厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0266】こうして図15(B)の状態が得られる。図15(B)の状態が得られたら、次に窒化珪素膜1505をエッチバック法によりエッチングして、ゲート電極1501の側壁にのみ残す。こうして残された窒化珪素膜はサイドウォール1506として機能する。

【0267】この際、熱酸化膜111はゲート電極がマスクとなった領域以外が除去されて図15(C)に示す様な状態で残存する。

【0268】図15(C)に示す状態で再び不純物イオンの注入を行なう。この時、ドーズ量は $0.2 \sim 10 \times 10^{15} \text{ atoms/cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} \text{ atoms/cm}^2$ と先程のイオン注入のドーズ量よりも高めとしておく。

【0269】このイオン注入の際、サイドウォール1506の直下の領域1507、1508はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1509、1510はさらに高濃度の不純物イオンが注入されることになる。

【0270】以上の様に2度目のイオン注入を経て、ソ

ース領域1509、ドレイン領域1510およびソース/ドレイン領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)1507、1508が形成される。なお、ゲート電極1501の直下はアンドープな領域であり、チャネル形成領域1511となる。

【0271】以上の工程を経て図15(C)の状態が得られたら、300Åの厚さの図示しないチタン膜を成膜し、チタン膜とシリコン(結晶性珪素)膜とを反応させる。そして、チタン膜を除去した後、ランプアニール等による加熱処理を行なうことでソース領域1509、ドレイン領域1510の表面にチタンシリサイド1512、1513を形成する。(図15(D))

【0272】上記工程はチタン膜の代わりにタンタル膜、タンクステン膜、モリブデン膜等を用いることも可能である。また、図15(D)ではソース/ドレイン領域の一部がシリサイド化した様に記載してあるが、ソース/ドレイン領域の膜厚が薄い場合や加熱処理の条件によってはソース/ドレイン領域全体がシリサイド化することもある。

【0273】次に、層間絶縁膜1514として酸化珪素膜を5000Åの厚さに成膜し、ソース電極1515、ドレイン電極1516を形成する。こうして図15(D)に示す構造のTFTが完成する。

【0274】本実施例で示す構造のTFTは、ソース/ドレイン電極がチタンシリサイド1512、1513を介してソース/ドレイン領域と接続するので良好なオーム接続を実現できる。

【0275】〔実施例8〕本実施例では実施例1または実施例7と異なる構造のTFTを作製する例を示す。説明には図16を用いる。

【0276】まず、実施例1と同様の工程を経て図2(A)に示す状態を得る。ただし、本実施例ではゲート電極の材料として導電性を付与した結晶性珪素膜を用いることとする。この状態を図16(A)に示す。

【0277】図16(A)において、101は石英基板、102は下地膜、110は島状半導体層、111は後にゲート絶縁膜として機能する熱酸化膜である。また、1601は結晶性珪素膜(ポリシリコン膜)であるゲート電極である。

【0278】次に、この状態で島状半導体層110に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1602、1603が形成される。(図16(B))

【0279】また、この不純物イオンはNチャネル型TFTならばP(リン)またはAs(砒素)を、Pチャネル型TFTならばB(ボロン)を用いて行なえば良い。この時、ドーズ量は $0.1 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、好ましくは $0.2 \sim 1 \times 10^{14} \text{ atoms/cm}^2$ という低い値としておく。

【0280】不純物イオンの注入が終了したら、実施例

7と同様にエッチバック法を用いてサイドウォール1604を形成する。

【0281】サイドウォール1604を形成したら、再び不純物イオンの注入を行なう。この時、ドーズ量は $0.2\sim10\times10^{15}\text{atoms/cm}^2$ 、好ましくは $1\sim2\times10^{15}\text{atoms/cm}^2$ と先程のイオン注入のドーズ量よりも高めとしておく。(図16(C))

【0282】このイオン注入の際、サイドウォール1604の直下の領域1605、1606はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1607、1608はさらに高濃度の不純物イオンが注入されることになる。

【0283】以上の様に2度目のイオン注入を経て、ソース領域1607、ドレイン領域1608およびソース／ドレイン領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)1605、1606が形成される。なお、ゲート電極1601の直下はアンドープな領域であり、チャネル形成領域1609となる。

【0284】以上の工程を経て図16(C)の状態が得られたら、500Åの厚さの回示しないタングステン膜を成膜し、タングステン膜とシリコン膜とを反応させる。そして、タングステン膜を除去した後、ランプアニール等による加熱処理を行なうことでゲート電極1601、ソース領域1607、ドレイン領域1608、の表面にタングステンシリサイド1610～1612を形成する。(図16(D))

【0285】勿論、タングステン膜以外にもチタン膜、モリブデン膜、タンタル膜を用いることができる。また、本実施例では加熱処理の時間を長めに設定してソース／ドレイン領域全体がシリサイド化する様に調節する。

【0286】次に、層間絶縁膜1613として窒化珪素膜を4000Åの厚さに成膜し、ソース電極1614、ドレイン電極1615を形成する。こうして図16(D)に示す構造のTFTが完成する。

【0287】本実施例で示す構造のTFTは、ゲート電極およびソース／ドレイン電極がタングステンシリサイド1610～1612を介して取り出し電極と接続するので良好なオーミックコンタクトを実現できる。

【0288】(実施例9)本実施例では本発明を利用した半導体装置を組み込んだ電気光学装置(表示装置)の一例を示す。なお、電気光学装置は必要に応じて直視型または投影型で使用すれば良い。また、電気光学装置も半導体を用いて機能する装置と考えられるので、本明細書中における電気光学装置とは、半導体装置の範疇に含まれるものとする。

【0289】また、本発明を利用した半導体装置の応用製品としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション(フロント型とリア型がある)、ビデオカメラ、パーソナルコンピ

ュータ等が挙げられる。それら応用用途の簡単な一例を図17を用いて行う。

【0290】図17(A)はTVカメラであり、本体3001、カメラ部3002、表示装置3003、操作スイッチ3004で構成される。表示装置3003はビューファインダーとして利用される。

【0291】図17(B)はヘッドマウントディスプレイであり、本体3101、表示装置3102、バンド部3103で構成される。表示装置3102は比較的小型のサイズのものが2枚使用される。

【0292】図17(C)はカーナビゲーションであり、本体3201、表示装置3202、操作スイッチ3203、アンテナ3204で構成される。表示装置3202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的広いと言える。

【0293】図17(D)は携帯情報端末機器(本実施例では携帯電話)であり、本体3301、音声出力部3302、音声入力部3303、表示装置3304、操作ボタン3305、アンテナ3306で構成される。表示装置3303に対しては、将来的にTV電話として動画表示を要求されることが予想される。

【0294】図17(E)はビデオカメラであり、本体3401、表示装置3402、接眼部3403、操作スイッチ3404、テープホルダー3405で構成される。表示装置3402に映し出された撮影画像は接眼部3403を通してリアルタイムに見ることができる。使用者は画像を見ながらの撮影が可能となる。

【0295】図17(F)はフロントプロジェクションであり、本体3501、光源3502、反射型表示装置3503、光学系(ビームスプリッターや偏光子等が含まれる)3504、スクリーン3505で構成される。スクリーン3505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置3503は高い解像度が要求される。

【0296】また、本実施例に示した電気光学装置以外にも、リアプロジェクションやモバイルコンピュータ、ハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0297】また、本発明のTFTは電気光学装置に限らず、例えばSRAMやDRAMといった形で集積化回路に組み込み、本実施例で示した様な応用製品の駆動回路として用いることも可能である。

【0298】

【発明の効果】本明細書で開示する発明によれば、単結晶シリコン上に作製したMOSFETに匹敵する高い性能を有したTFTを実現することができる。また、本発明のTFTで構成したリングオシレータは従来のTFTで構成されたリングオシレータに比べて20倍の高速動

39

作が可能である。

【0299】さらに、この様な高い特性を有しているにも拘わらずチャネル長が $1\mu m$ 以下という微細領域においても極めて高い耐圧特性を有しており、短チャネル効果が効果的に抑制されていることが確認できる。

【0300】以上の様なTFTを用いて構成される集積化回路を電気光学装置に適用することで、電気光学装置のさらなる高性能化が実現できる。また、電気光学装置を応用した応用製品も高性能、高付加価値化することができる。

【図面の簡単な説明】

- 【図1】 半導体装置の作製工程を示す図。
- 【図2】 半導体装置の作製工程を示す図。
- 【図3】 島状半導体層の配置構成を示す図。
- 【図4】 半導体装置の特性を示す図。
- 【図5】 半導体装置作製工程を示す図。
- 【図6】 半導体装置の作製工程を示す図。
- 【図7】 電気回路の構成を示す写真。
- 【図8】 活性層の構成を示す図。
- 【図9】 結晶性珪素膜の表面を示す写真。
- 【図10】 結晶構造を示す写真。
- 【図11】 結晶構造を示す写真。
- 【図12】 結晶構造を示す写真。
- 【図13】 DRAMの構成を示す図
- 【図14】 SRAMの構成を示す図
- 【図15】 半導体装置の作製工程を示す図。
- 【図16】 半導体装置の作製工程を示す図。
- 【図17】 半導体装置の応用例を示す図。

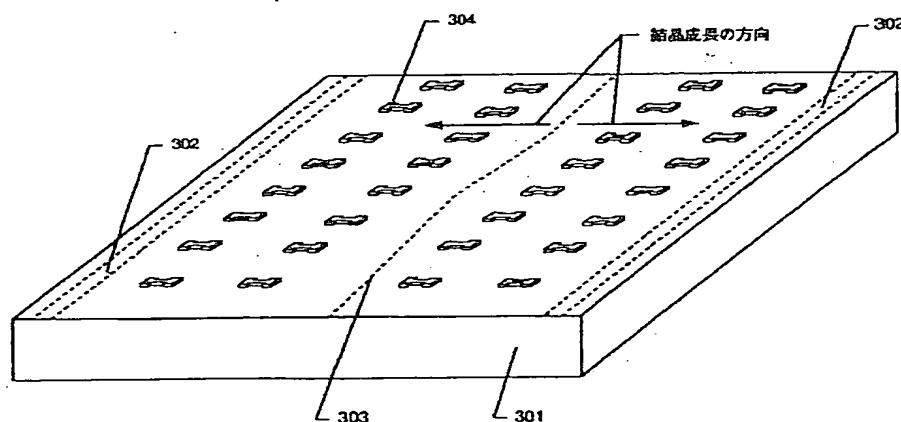
【符号の説明】

101 石英基板

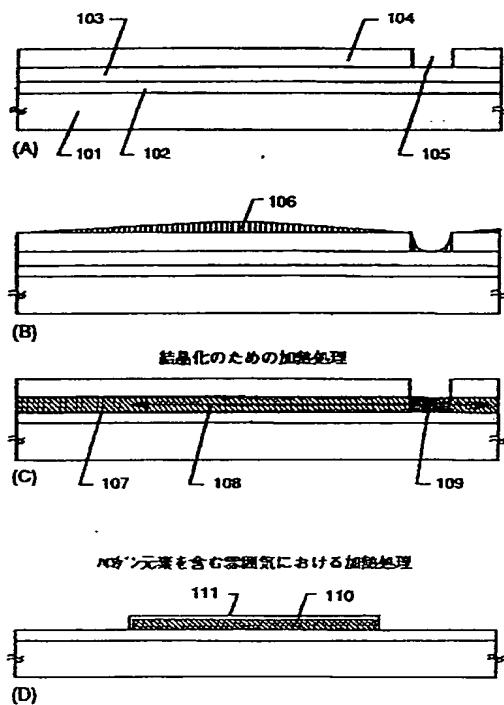
102
103
104
105
106
107
108
109
110
10 111
112
113
114
115
116、117
118、119
120
121
122
20 123
301
302
303
304
801
802
803
804
805
30 1001

下地膜
非晶質珪素膜
酸化珪素膜(マスク絶縁膜)
非晶質珪素膜が露呈した領域
ニッケルを含有した水膜
結晶性珪素膜
結晶化の方向を示す矢印
ニッケル添加領域
島状半導体層
熱酸化膜
アルミニウム膜のパターン
多孔質状の陽極酸化膜
緻密な陽極酸化膜
ゲート電極
不純物領域
低濃度不純物領域
チャネル形成領域
層間絶縁膜
ソース電極
ドレイン電極
石英基板
ニッケル添加領域
巨視的な結晶粒界
島状半導体層
ソース領域
ドレイン領域
チャネル形成領域
不純物領域
キャリアが移動する領域
針状または柱状結晶の結晶粒界

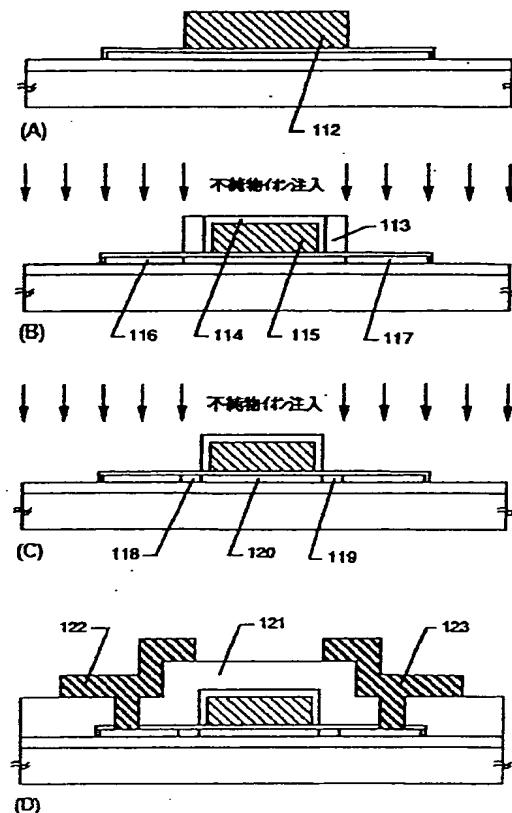
【図3】



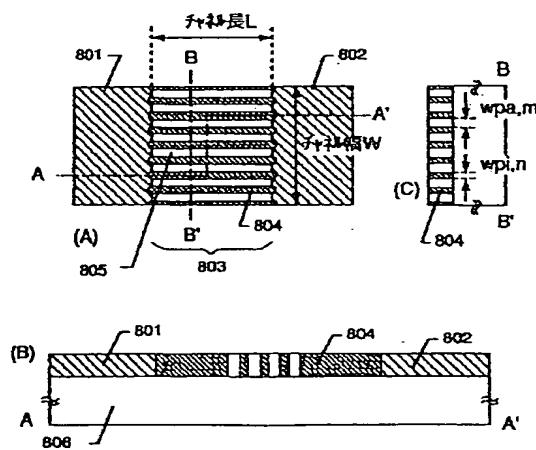
【図1】



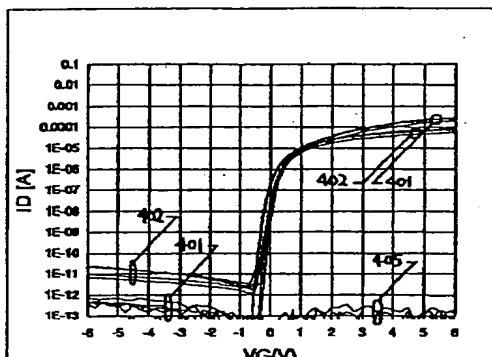
【図2】



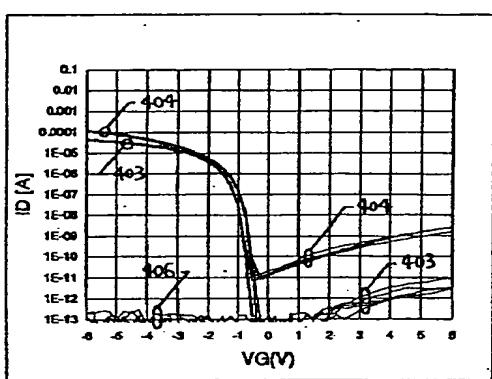
【図8】



【図4】

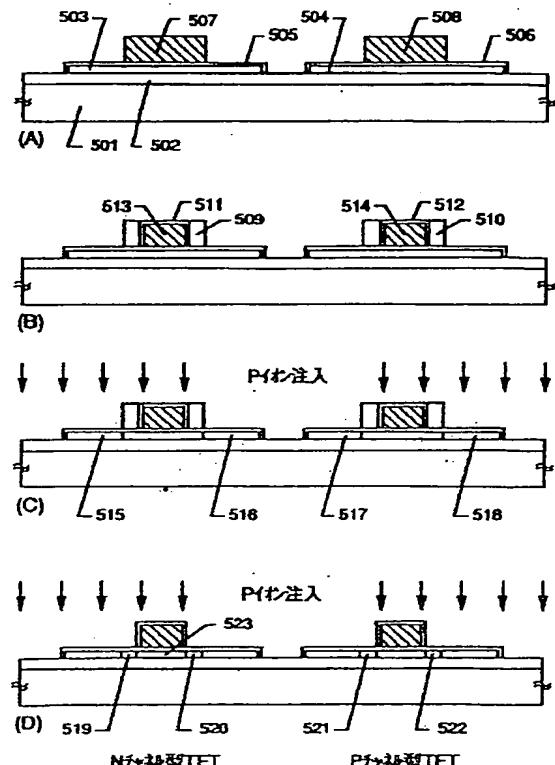


(A)

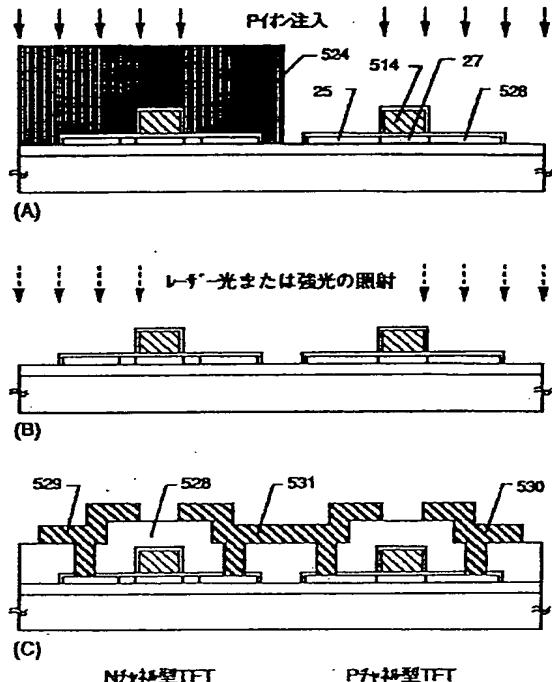


(B)

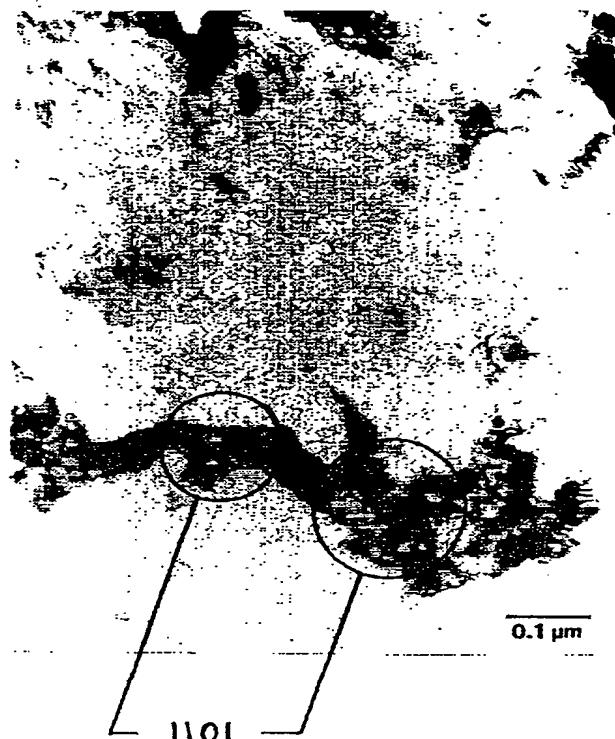
【図5】



【図6】

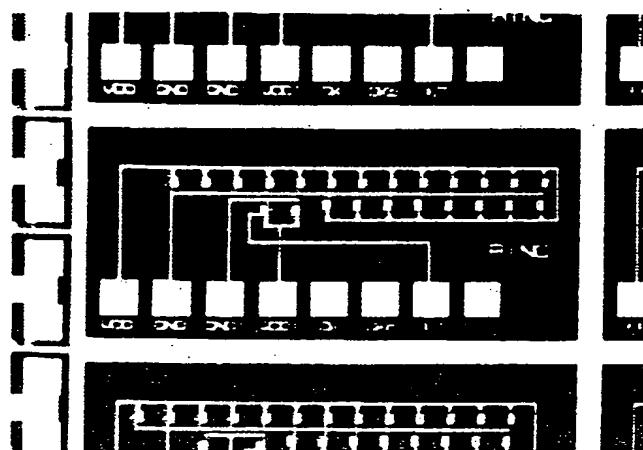


【図11】

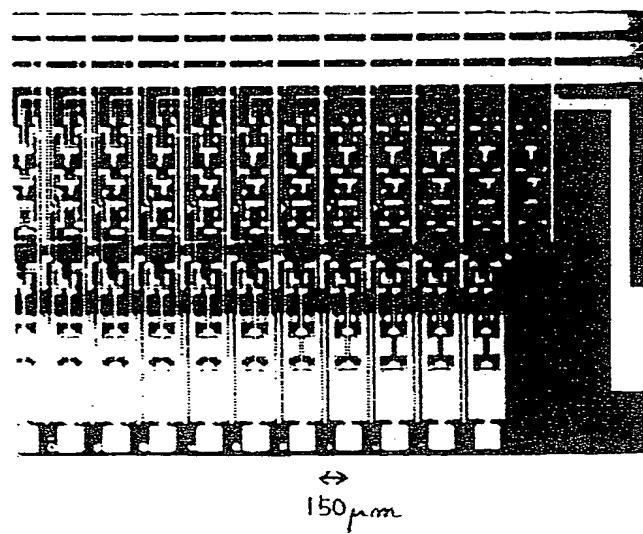


図面代用写真

【図7】



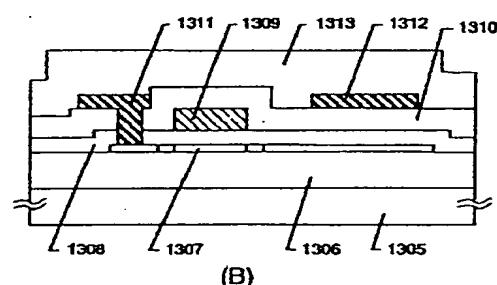
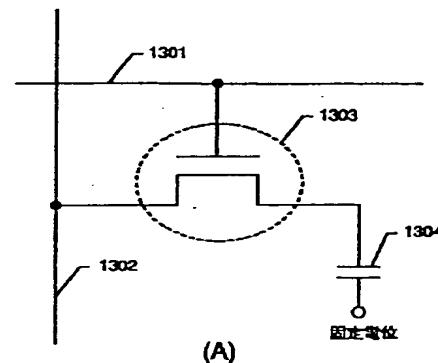
(A)



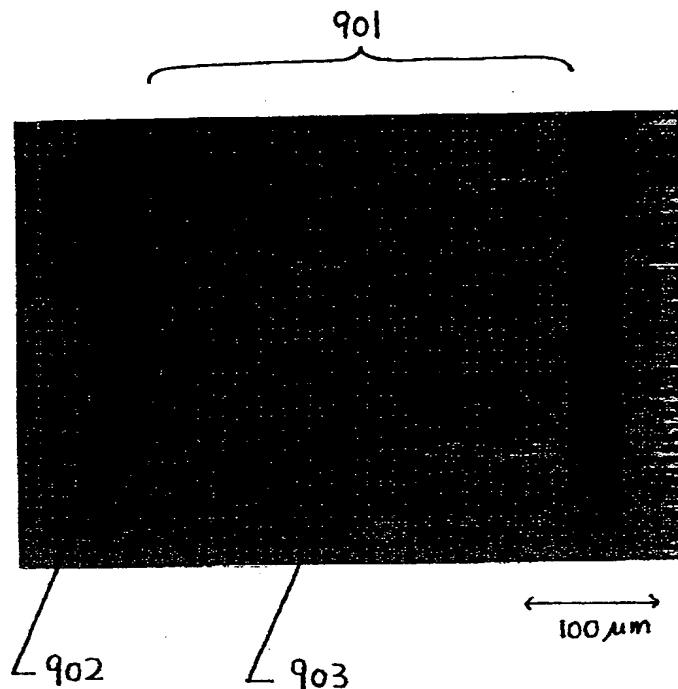
(B)

図面代用写真

【図13】

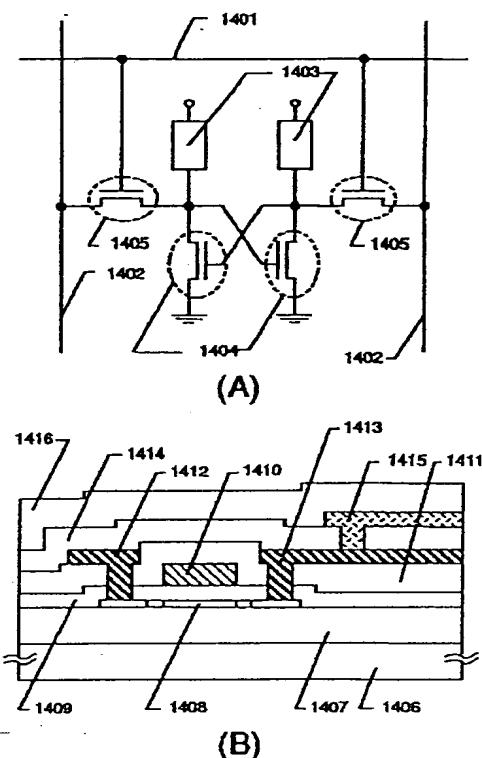


【図9】

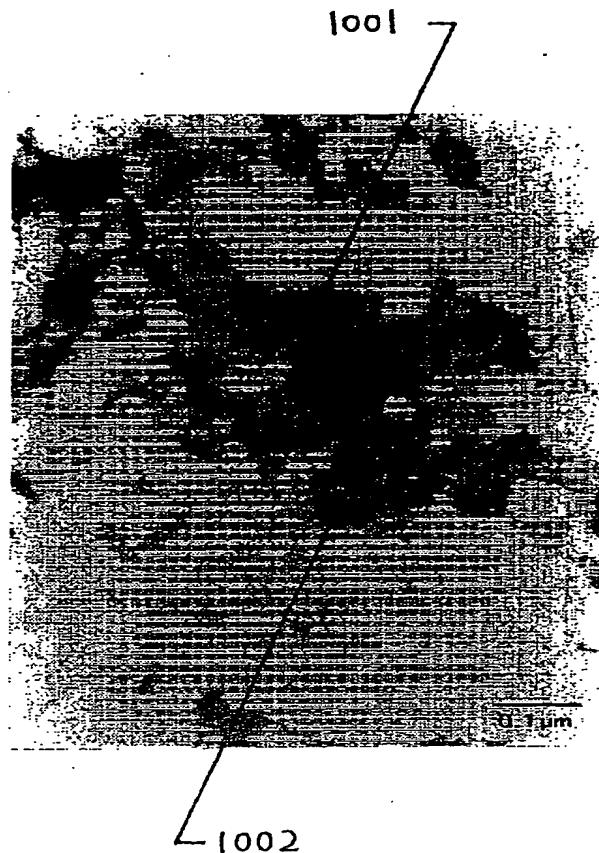


図面代用写真

【図14】

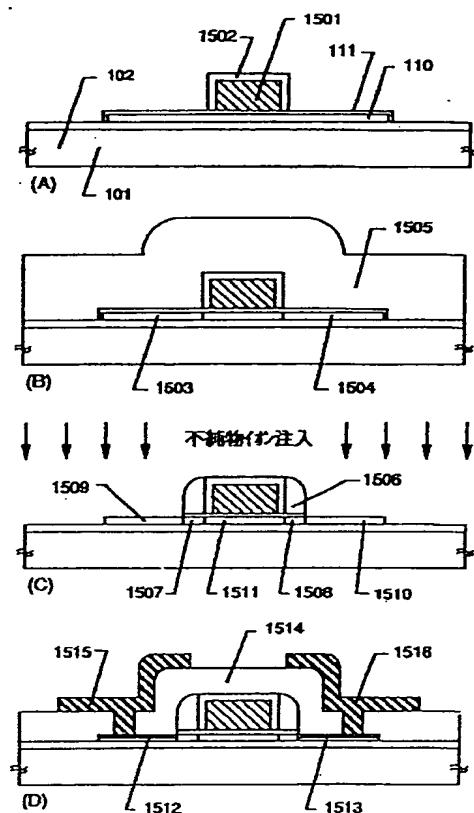


【図10】



図面代用写真

【図15】

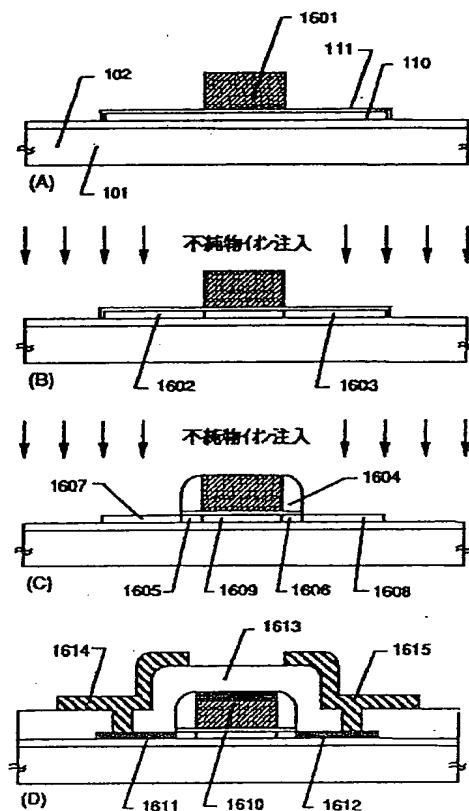


【図12】

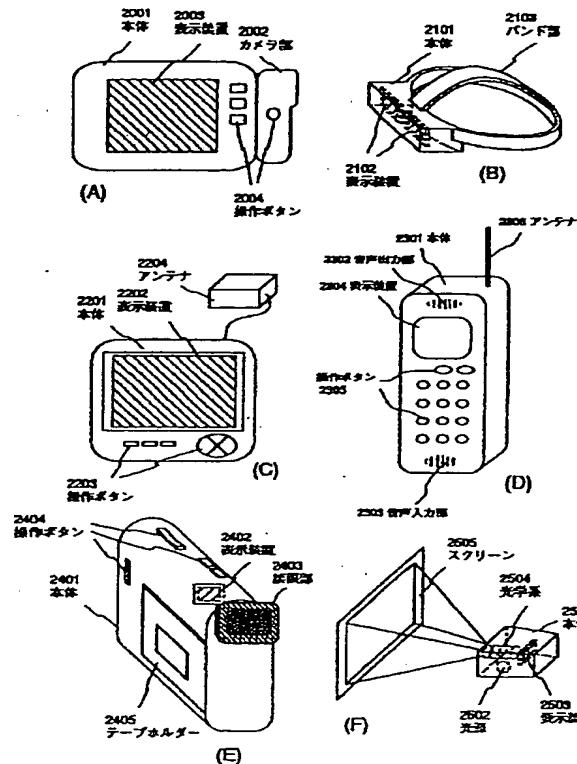


図面代用写真

【図16】



【図17】



【手続補正書】

【提出日】平成8年12月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】 電気回路の構成を示す顕微鏡写真。

フロントページの続き

(72)発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.